



TITLE:

集積回路における性能ばらつき解析に関する研究( Dissertation\_全文 )

AUTHOR(S):

岡田, 健一

---

CITATION:

岡田, 健一. 集積回路における性能ばらつき解析に関する研究. 京都大学, 2003, 博士(情報学)

ISSUE DATE:

2003-03-24

URL:

<https://doi.org/10.14989/doctor.k10351>

RIGHT:

# 集積回路における性能ばらつき解析に関する研究

岡田 健一



---

# 目次

---

目次	i
第1章 序論	1
1.1 まえがき	1
1.2 微細化による性能ばらつきの増大	3
1.3 製造ばらつきが素子特性に与える影響	5
1.3.1 製造条件のばらつき	6
1.3.2 レイアウト依存ばらつき	8
1.3.3 性能ばらつきの分類	9
1.4 従来研究	10
1.4.1 アナログ回路における統計解析手法	10
1.4.2 デジタル回路における統計解析手法	11
1.4.3 ばらつきのモデル化	14
1.4.4 実測および抽出手法	15
1.5 研究の概要と本論文の構成	15
1.5.1 レイアウトを考慮した製造ばらつきのモデル化および解析手法	16
1.5.2 局所的ばらつきと大域的ばらつきを考慮したトランジスタ特性のモデル化手法	17
1.5.3 実測値からのばらつきモデルパラメータ抽出手法	17
1.5.4 チップ内ばらつきを考慮した統計的遅延解析手法	18
第2章 レイアウトを考慮した製造ばらつきのモデル化および解析手法	21
2.1 まえがき	21
2.2 製造ばらつきのモデル化	22

2.2.1	トランジスタ特性をばらつかせる要因	22
2.2.2	Pelgrom の比精度ばらつきモデル	23
2.2.3	比精度ばらつきモデルの提案	24
2.2.4	Pelgrom モデルとの比較	27
2.2.5	ローディング効果モデル	30
2.2.6	まとめ	32
2.3	モデルパラメータの抽出	32
2.3.1	ローディング効果測定用 TEG	32
2.4	レイアウトを考慮した比精度解析手法	36
2.4.1	ローディング効果によるゲート寸法の見積り	37
2.4.2	全回路解析法	38
2.4.3	部分回路モデル化法	38
2.4.4	両手法の比較	41
2.4.5	カレントミラーの比精度解析実験	42
2.5	むすび	43
<b>第3章</b>	<b>局所的ばらつきと大域的ばらつきを考慮したトランジスタ特性のモデル化手法</b>	<b>47</b>
3.1	まえがき	47
3.2	局所ばらつきのモデル化	48
3.2.1	ばらつきのサイズ依存性およびバイアス依存性	49
3.2.2	中間モデルの概要	52
3.2.3	局所ばらつきモデル	54
3.3	大域ばらつきのモデル化	55
3.3.1	モデル化における問題点	56
3.3.2	ウエハ上での大域ばらつきの変動	57
3.3.3	大域ばらつきモデル	58
3.3.4	大域ばらつきモデルの確率密度	63
3.4	物理パラメータの再現	67
3.5	正規分布による近似誤差	69
3.6	むすび	70
<b>第4章</b>	<b>実測値からのばらつきモデルパラメータ抽出手法</b>	<b>73</b>
4.1	まえがき	73
4.2	トランジスタ特性ばらつきのモデル化	75
4.2.1	チップ内ばらつきモデルとチップ間ばらつきモデル	75
4.2.2	中間モデルを用いたばらつき成分の分離手法	77
4.2.3	実測値からのばらつき成分の分離実験	78

4.2.4	チップ内ばらつきモデルパラメータの直接抽出手法 . . . . .	79
4.2.5	チップ内ばらつきモデルのパラメータ抽出実験 . . . . .	81
4.3	チップ内ばらつきを考慮した遅延時間の解析 . . . . .	82
4.3.1	応答曲面法を用いた統計遅延解析 . . . . .	83
4.3.2	リングオシレータにおける遅延時間ばらつき . . . . .	85
4.3.3	シミュレーションと実測の比較 . . . . .	85
4.4	むすび . . . . .	86
<b>第5章</b>	<b>チップ内ばらつきを考慮した統計的遅延解析手法</b>	<b>89</b>
5.1	まえがき . . . . .	89
5.2	トランジスタ特性のモデル化 . . . . .	91
5.3	ゲート遅延ばらつきのモデル化 . . . . .	91
5.3.1	テーブル参照による遅延時間応答曲面モデル . . . . .	92
5.3.2	ゲート内ばらつきを考慮した遅延モデル . . . . .	92
5.4	感度係数の導出 . . . . .	96
5.4.1	感度計算方法 . . . . .	96
5.4.2	セル構造の分類 . . . . .	97
5.4.3	感度係数の計算方法による誤差の評価 . . . . .	98
5.4.4	方法 (A) の誤差評価 . . . . .	100
5.5	ゲート内ばらつきを考慮した遅延解析実験 . . . . .	101
5.6	まとめ . . . . .	102
<b>第6章</b>	<b>結論</b>	<b>105</b>
	<b>謝辞</b>	<b>111</b>
	<b>参考文献</b>	<b>113</b>
	<b>本研究に関する発表</b>	<b>123</b>
<b>付録A</b>	<b>チップ内でのばらつきを測定するための TEG</b>	<b>127</b>
A.1	回路構成 . . . . .	127
A.2	リーク電流の評価 . . . . .	128
<b>付録B</b>	<b>シート抵抗のモデル化</b>	<b>131</b>



# 第1章

---

## 序論

---

### 1.1 まえがき

MOSFET (Metal-Oxide-Silicon Field Effect Transistor) を用いた集積回路の製造技術は目覚ましい進歩を続けている。製造技術の発展の歴史は、その微細化技術の歴史である。1960 年代終りにかけて実用化された pMOS (p-channel MOS) 技術は、nMOS (n-channel MOS)、CMOS (Complementary MOS) へと改良された。1970 年代には数千トランジスタ規模の LSI (Large Scale Integrated Circuit) が実現し、現在では数億トランジスタが 1 チップに集積される。微細化の勢いはとどまるところを知らない。近年では製品レベルで最小ゲート長も 90nm を達成し、VDSM (Very Deep Sub-Micron) の時代を迎えている。しかし、製造プロセスの微細化は、回路の小型化および高速化に貢献する一方で、集積回路の設計を困難にする要因となっている。製造条件の揺らぎが、回路性能にばらつきを与えることが一因である [1–9]。

MOSFET はその単純な構造のために微細化が容易な反面、素子特性のばらつきが大きい事が問題となっている。集積回路製造プロセスにおいては、製造条件の揺らぎが必ず発生する。この揺らぎは、素子の形状や物性的な条件に影響を与え、最終的には素子の電気特性のばらつきとして表れる。回路を構成する各素子の特性がばらついて製造されると、回路の性能もばらつきを持つ。製造された回路が仕様どおりに動作する割合を歩留りと呼ぶ。回路性能がばらつくと、この歩留りも低下する。歩留りが低下すると、一定数の良品を製造するために、より多く製造しなければならず、製造コストが増大する。

製造技術の改善により製造ばらつきの絶対的な量は低減されている。しかし、微細化や低電源電圧化のため、製造ばらつきが回路性能に与える影響は相対的に増大している。今後の性能ばらつきの増大により、回路の歩留りが悪化する。素子特性がばらついても、回路性能がばらつきにくい設計手法が必要となっている。そのための要素技術として、製造ばらつきを考慮して回路性能の統計的分布を解析する技術の開発が急務である。



回路性能がばらついて仕様を満たすように、マージンをもたせた設計が行われる。動作速度について考える。製造ばらつきで回路が遅くなっても仕様を満たすように、あらかじめ速めに回路を設計する。このような余裕を設計マージンと呼ぶ。しかし、動作速度を速くすることは、消費電力や面積の増加を招く。過剰なマージンは、動作速度、消費電力、面積などを考慮したトータルの性能を劣化させる。そのため、適切な設計マージンを見積ることが重要である。

設計マージン決定のために、素子特性のばらつきをモデル化し、そのばらつきを考慮した統計的な回路解析を行う。モデル化や解析が実際よりも楽観的であると、製造した回路の性能分布が広がり、歩留りが悪化する。逆に悲観的すぎる場合は、設計マージンが増大し、回路設計が困難となる。安全のために、素子ばらつきを悲観的に設定することがあるが、必ずしも実際の回路性能ばらつきとは一致しない。実測特性を反映して、素子ばらつきを系統的にモデル化し解析するための技術が必要である。現在の設計手法においても、実測した素子ばらつきを考慮した統計解析は行われている。しかし、実際の回路性能ばらつきに合致するまでのモデルを、短期間で構築することは困難である。主な原因は、素子ばらつきの統計的性質を解析に反映できていないためである。実際の素子ばらつきを反映した系統的な解析技術が必要である。解析技術の遅滞は、製造コストの増大や設計期間の延長を招くだけでなく、ばらつきを低減するための回路方式や回路設計技術を開発する妨げともなっている。

製造ばらつきには、ランダムにばらつく成分、位置に依存してばらつく成分、レイアウトに依存してばらつく成分などがある。正確なモデル化のためには、これらばらつき成分を分離し、統計的性質ごとにモデル化を行う必要がある。従来からも、このようなモデル化の研究は行われてきたが、特にチップ内での配置関係やレイアウトを考慮したモデル化が不十分であった。また、製造プロセスに合せて、モデルのパラメータを求める必要がある。実測値に基づいてパラメータの抽出を行うが、この際にもばらつきの統計的成分を考慮することが重要である。もちろん解析においてもこれらのばらつきの統計的性質を十分に考慮することが重要である。

本研究の目的は、回路性能の現実的な分布を解析するための手法を開発することである。ばらつきの解析において現実的な解析結果を得るためには、素子特性のばらつきについて統計的な性質を考慮し、実測値を反映したモデル化を行うことと、その性質を解析においても考慮することが重要である。本研究は、統計的性質を考慮したモデル化技術、実測からモデルパラメータを抽出するための技術、それらのモデルを用いた回路解析技術から構成される。ばらつきのモデル化技術では、ランダムにばらつく成分、位置に依存してばらつく成分、レイアウトに依存してばらつく成分をそれぞれ分離し、統計的性質ごとにモデル化を行う。抽出技術においては、提案するばらつきモデルそれぞれに対して、パラメータ抽出のための回路と抽出方法について説明する。回路解析技術において、アナログ回路の比精度解析やデジタル回路の遅延解析の手法について提案する。まずは解析技術を確立することで、今後開発されるばらつきを低減するための回路設計

技術や回路方式開発の基礎を築く．

本章の構成を示す．1.2 節で今後の微細化や低電源電圧化により，回路性能に対する製造ばらつきの影響が増大することを示す．1.3 節で製造ばらつきが素子特性に与える影響について述べ，1.4 節でこの分野における研究課題と従来研究について説明する．性能ばらつき解析の手法，および，そのために必要なモデル化の手法について言及する．1.5 節では，本研究の概要と本稿全体の構成について述べる．

## 1.2 微細化による性能ばらつきの増大

ITRS (International Technology Roadmap for Semiconductors) の発表した 2001 年版半導体ロードマップによると，製造プロセスは，今後ますます微細化されることが予測されている．その一方で，製造ばらつきについても増大が予測されている．ここでは，プロセスの微細化や，それに伴う低電源電圧化によって，回路性能のばらつきが増大する事を示す．

回路性能のばらつきは，その回路を構成する素子のばらつきに起因する．特に近年のプロセスでは，閾値電圧のばらつきとゲート長のばらつきが支配的となっている [10–13]．半導体ロードマップにおける 2001-2007 年の指針値を表 1.1 に示す．表中において， $L$  は製造可能な最小のゲート長， $3\sigma L$  はゲート長のばらつき， $V_{DD}$  は電源電圧， $V_{TH}$  は閾値電圧， $3\sigma V_{TH}$  は閾値電圧のばらつきを示す．ばらつき量は，レイアウト的な不均一がない場合の値である． $\sigma$  は標準偏差の意味である． $N(\mu, \sigma)$  の正規分布において， $\mu - 3\sigma$  か

表 1.1: ITRS ロードマップによる各種ばらつきの将来予測

年	min. $L^*$ [nm]	$3\sigma L^\dagger$ [nm]	$V_{DD}^\ddagger$ [V]	$V_{TH}^\S$ [V]	$3\sigma V_{TH}^\P$ (mV $\cdot\mu\text{m}$ )
2001	90	6.31	1.2	0.19	21
2002	75	5.30	1.1	0.15	21
2003	65	4.46	1.0	0.13	15
2004	53	3.75	1.0	0.12	15
2005	45	3.15	0.9	0.09	15
2006	37	2.81	0.9	0.06	15
2007	32	2.5	0.7	0.05	15

\*ASIC/Low Power Gate Length after etch (nm)

$^\dagger L_{gate} (3\sigma)$  (nm)

$^\ddagger$ Minimum Supply Voltage - Digital Design (V)

$^\S V_{th}$  of MPU (V)

$^\P$ NMOS Analog Device -  $3\sigma V_t$  matching (mV $\cdot\mu\text{m}$ )

ら  $\mu + 3\sigma$  までの出現確率が全体の約 99.7% を占めることから,  $\mu \pm 3\sigma$  を統計的な最良値, 最悪値として用いる場合が多い. 本論文においても,  $\mu \pm 3\sigma$  を最良値, 最悪値の指標として用いる.

閾値電圧のばらつきやゲート長のばらつきは, トランジスタの電流特性をばらつかせる. 表 1.1 を元に, 電流特性のばらつきを見積もる. ここでは, トランジスタのドレイン-ソース電流について議論する. トランジスタの飽和電流は,  $\alpha$  乗則モデルを用いて, 以下の式で計算する [14]. 式中の変数の意味を表 1.2 に示す.

$$I_{DSAT} = \frac{\beta}{2}(V_{GS} - V_{TH})^\alpha \quad (1.1)$$

$$\beta = \frac{\epsilon_{OX}\mu}{T_{OX}} \frac{W}{L} \quad (1.2)$$

バイアス電圧  $V_{GS}$  により, ドレインソース間電流を制御する. トランジスタの電流電圧特性は, ゲート寸法  $L, W$ , 閾値電圧  $V_{TH}$ , ゲイン  $\beta$  などにより特徴づけられる. ゲイン  $\beta$  は, 酸化膜厚  $T_{OX}$ , 移動度  $\mu$ , ゲート酸化膜の誘電率  $\epsilon_{OX}$  により決まる. これらのうち,  $V_{TH}, T_{OX}, \mu, \epsilon_{OX}$  はプロセスにより決定する定数である. 前述のように, これらの定数は製造ばらつきにより変動する. CMOS 回路の設計では, ゲート寸法  $L, W$  を調整することにより, トランジスタの性能を決定するが, ゲート寸法自体も製造ばらつきのために変動する.

$V_{TH}, T_{OX}, L, W, \mu$  のばらつきに注目する.  $V_{TH}, T_{OX}, L, W, \mu$  の微少な変化に対する電流値  $I_{DSAT}$  の変動は, 以下の式により表される.

$$I_{DSAT} = \frac{\epsilon_{OX}\mu}{2T_{OX}} \frac{W}{L} (V_{GS} - V_{TH})^\alpha \quad (1.3)$$

表 1.2: MOSFET 動作方程式におけるパラメータの意味

$I_{DSAT}$	ドレイン-ソース飽和電流
$V_{GS}$	ゲート-ソース電圧
$L$	ゲート長
$W$	ゲート幅
$V_{TH}$	閾値電圧
$\beta$	ゲイン
$T_{OX}$	ゲート酸化膜厚
$\mu$	移動度
$\epsilon_{OX}$	ゲート酸化膜の誘電率
$\alpha$	$\alpha$ 乗則定数

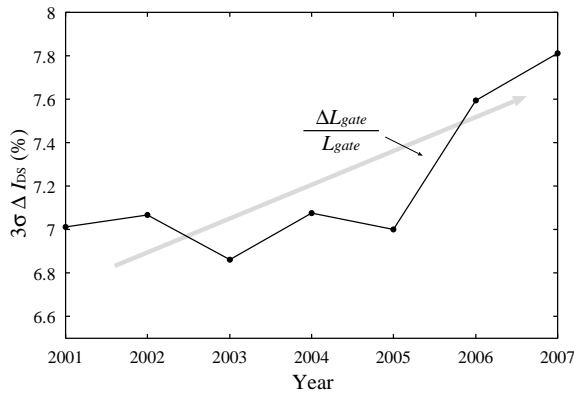
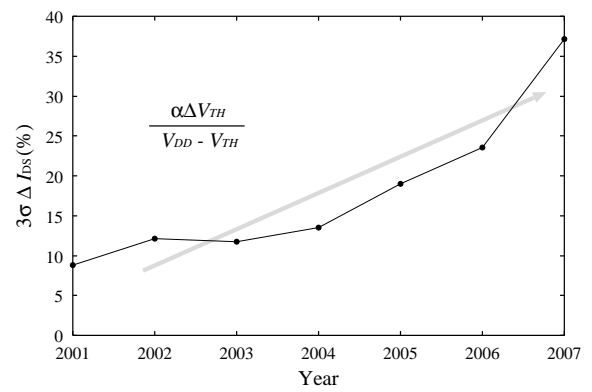


図 1.1: ゲート長のばらつきによるトランジスタ電流のばらつき

図 1.2: 閾値電圧  $V_{TH}$  のばらつきによるトランジスタ電流のばらつき

$$\frac{\Delta I_{DSAT}}{I_{DSAT}} \approx 1 - \frac{\alpha \Delta V_{TH}}{V_{GS} - V_{TH}} - \frac{\Delta T_{OX}}{T_{OX}} + \frac{\Delta W}{W} - \frac{\Delta L}{L} + \frac{\Delta \mu}{\mu} \quad (1.4)$$

電流ばらつき  $\Delta I_{DSAT}$  の典型値  $I_{DSAT}$  に対する割合は、各パラメータのばらつきの割合で表される。閾値電圧のばらつきは、 $V_{GS} - V_{TH}$  に対する割合で影響する。表 1.1 と式 (1.4) から、ゲート長のばらつきによる  $I_{DSAT}$  のばらつきを見積った。定数  $\alpha$  は 1.3 とした。結果を図 1.1 に示す。製造技術の改善に伴ない、絶対的なゲート長ばらつき  $3\sigma L$  は小さくなっているが、微細化のため相対的なばらつき量は年々増大している。閾値電圧  $V_{TH}$  のばらつきによる影響は、ゲート電圧と閾値電圧の典型値に依存する。ゲートに対するバイアス電圧は回路の設計にもよるが、デジタル回路を想定してゲート電圧は電源電圧に等しいとした。閾値電圧のばらつきはゲート寸法にも依存する。ゲート長を最小とし、 $W/L = 4$  とした場合の閾値電圧ばらつきの値を用いた。見積り結果を図 1.2 に示す。ゲート長のばらつきと同じく、年代を追うごとに、電流ばらつきが増大する。

スケーリング則を厳密に適用すると、素子寸法が  $1/n$  になれば、素子内部の電界強度を一定に保つため、電源電圧も  $1/n$  にしなければならない。消費電力削減のためにも、低電源電圧化の要求は大きい。しかし、その一方で、微細化や、低電源電圧化は回路性能の劣化を助長する原因となっている。

### 1.3 製造ばらつきが素子特性に与える影響

ここでは、製造条件のばらつきによる素子特性のばらつきについて説明する。各製造工程でのばらつきが、素子のどのような特性に影響を与えるか説明し、素子特性ばらつきの統計的な性質について分類を行う。

### 1.3.1 製造条件のばらつき

製造ばらつきは大きく分けて3つに分類することができる．統計的な変動成分である局所ばらつきと大域ばらつき，および，レイアウトに依存するばらつきである．局所ばらつきは，製造時のガウス雑音に起因する成分で，正規分布となる [15–17]．大域ばらつきは，製造時の熱分布などに起因する成分で，ウエハ全体に対してなだからに変化する [18–24]．レイアウト依存ばらつきは，レイアウトに依存して，素子の出来上がり寸法などが設計値からずれる現象である [25–31]．

図 1.3 は，トランジスタ電流のばらつきについて，ウエハ上での局所ばらつきと大域ばらつきの変動を模式的に表したものである．トランジスタの電流特性は，その構造的，電氣的な要因により決定される．トランジスタ特性においては，特に，不純物密度，実効チャンネル長，実効チャンネル幅，酸化膜厚，移動度などの物理量のばらつきが支配的である．各物理量は，それぞれ局所ばらつき成分と大域ばらつき成分を持つ．図 1.3 に示す電流ばらつきは，物理量それぞれについて大域ばらつきと局所ばらつきによる影響が合さったものとして表れる．

レイアウト依存ばらつきは，周囲のレイアウトに依存して特性が変動する現象である．例えば，製造後のトランジスタのゲートポリシリコンが，周囲のレイアウトによって太

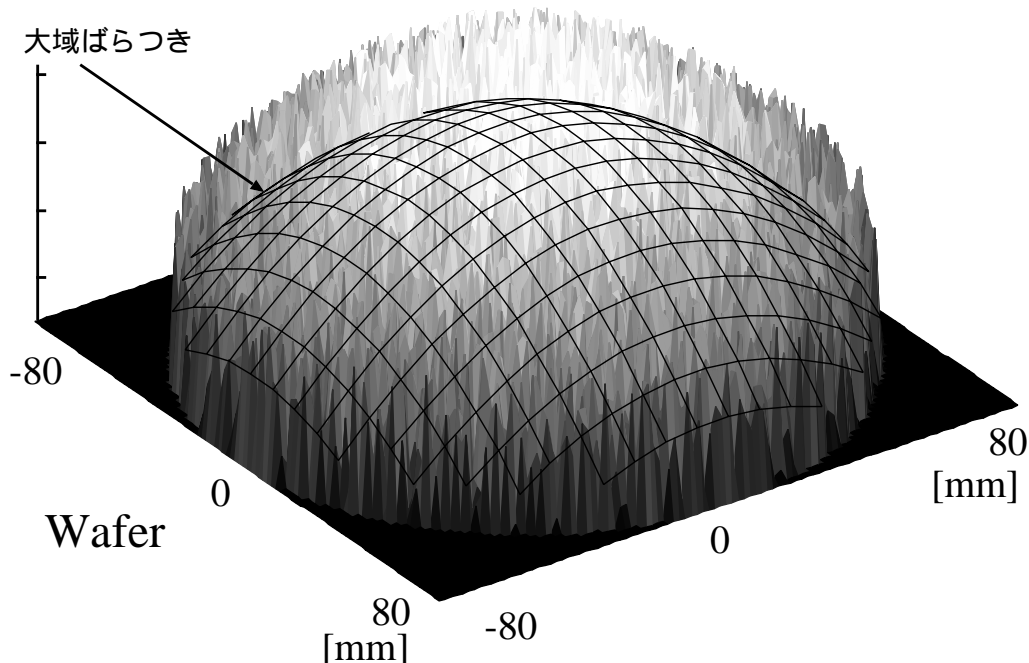


図 1.3: ウエハ上での局所ばらつきと大域ばらつきによる特性変動 (模式図)

くなったり細くなったりする現象である．これらの現象は，同一のレイアウトに対しては常に同じだけ影響を及ぼす．そのため，レイアウト依存ばらつきのみを考慮した場合，あるレイアウトに対しては，常に同じ仕上がり寸法になることが期待される．設計時の素子寸法と製造後の素子寸法にずれが生じるため，ばらつきとして分類されるが，統計的には変動しない成分である．

MOSFET の製造プロセスは，大きく分けると以下の 6 工程に分類できる．

- 酸化工程
- イオン注入工程
- 不純物拡散工程 (アニール工程)
- 堆積工程
- フォトリソグラフィ工程
- エッチング工程

ここでは，プロセスと素子特性の関連を説明するために，トランジスタの不純物密度，実効チャンネル長，実効チャンネル幅，酸化膜厚，移動度について説明する．チャンネルの不純物密度は，イオン注入でのドーパント数の統計的なばらつきや拡散工程の条件により影響を受ける．実効チャンネル長には，マスク寸法やソースドレインでの横方向拡散などが影響する．マスク寸法は，フォトリソグラフィ工程でのビームの干渉や，エッチング工程でのエッチングガスの濃淡により影響を受ける．実効チャンネル幅は，マスク寸法やロコス酸化膜の形成条件，素子分離工程での影響を受ける．移動度は，ウエハの特性やアニールの条件により影響を受ける．酸化膜厚は，ゲート酸化膜の形成時における温度などの条件によって定まる．今後の *high-k* 材料の導入により，酸化膜厚や誘電率のばらつきが増大することが予想されている．酸化膜厚のばらつきはゲート容量のばらつきにも影響する [32, 33]．

フォトリソグラフィ工程でのビームの干渉やエッチングガスの濃淡はレイアウト依存ばらつきの原因となる．ドーパント数，拡散やアニール条件は統計的にランダムな成分を含むので，局所ばらつきの原因となる．酸化膜生成や拡散などは熱の影響を強く受けるため，大域ばらつきの原因となる．また，フォトリソグラフィ工程での光路差も大域的な変動を与える [34, 35]．ここでは，主なもののみを挙げたが，それぞれの条件が重なって，素子特性のばらつきとして表れる．そのため，各物理量にはある程度の相関が生じる．

この他にトランジスタ特性を劣化させる要因として，ボンディングストレスによる特性変動 [20] や，シャロートレンチ生成による応力や歪み [36] も位置に依存した特性の変動を与える．コンタクトやビアについても，その形状や接触抵抗のばらつきにより，抵抗値や寄生容量がばらつく．

### 1.3.2 レイアウト依存ばらつき

トランジスタ特性に影響するレイアウト依存ばらつきとして、ローディング効果が知られている [27, 28, 37]。ローディング効果とは、パターンの仕上り幅が、パターンの疎密度によって変動する現象のことである。ゲートポリシリコンに対するローディング効果により、トランジスタのゲート寸法は大きく変動し、結果としてトランジスタの特性が変化する。フォトリソグラフィ工程での光近接効果やエッチングガスの過不足が原因である。

図 1.4 のトランジスタ M1, M2, M3 を例に説明する。トランジスタ M1, M2, M3 の設計寸法は等しい。隣接パターンがあると線幅が細くなるプロセスの場合、トランジスタ M1 は M2 の影響で、M2 は M1 と M3 の影響で、M3 は M2 の影響で仕上がり線幅が細くなる。トランジスタ M2 は、両側に近接パターンがあるため、M1 や M3 に比べて線幅はより細くなる。ローディング効果を回避するためには、レイアウトの密度が均一になるようにダミーパターンを配置する方法が有効である。最も近接したパターンによる影響が大きい。図 1.4 では、トランジスタ M1, M3 の外側に等間隔でダミーパターンを配置する。また、光近接効果を考慮して、あらかじめレイアウトパターンを補正する OPC (Optical Proximity Correction) の手法も提案されている [38–40]。

配線については、線幅、層間膜厚、抵抗率などにより性能が決定する。配線のばらつきは、ローディング効果や CMP (Chemical Mechanical Planarization) 工程のばらつきなど、レイアウトに依存したばらつきが支配的である [41]。ローディング効果により線幅が変動し、配線抵抗と配線間容量が変動する。CMP 工程のばらつきは、配線の密度により配線の高さや層間絶縁膜の厚さが変動する現象である [41, 42]。配線密度により、配線抵抗

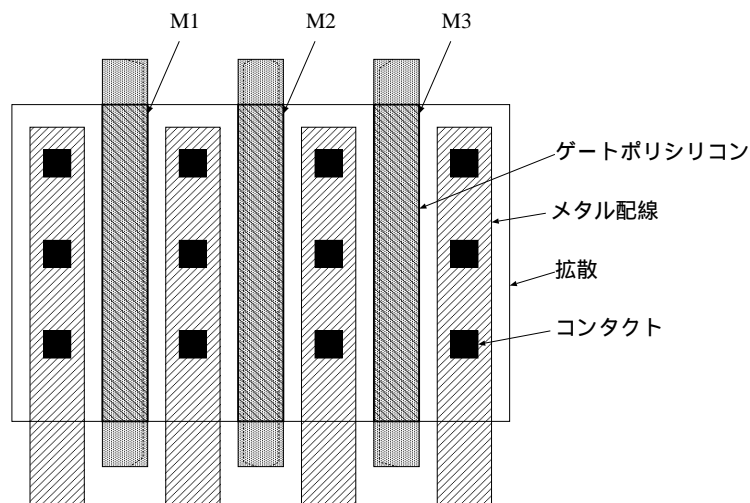


図 1.4: ローディング効果

や配線の層間容量が変動する．配線のばらつきを考慮したワーストケース解析の手法も提案されている [43–45]．

その他のレイアウト依存の現象として，トランジスタのチャネル上にメタル配線が被さるとトランジスタ特性が劣化することが知られている [46, 47]．下層のメタルであるほど影響は大きい．また，用いる半導体基板の結晶軸方位によっては，電流の流れる向きで移動度が異なる．

### 1.3.3 性能ばらつきの分類

製造ばらつきによる統計的な変動として，局所ばらつきと大域ばらつきを挙げた．製造条件のばらつきを考える上で重要な概念として，ロット間ばらつき，ウエハ間ばらつき，チップ間ばらつき，チップ内ばらつきがある．MOSFETの製造において，各工程はウエハごとに処理が行われる．多くの工程において，多数のウエハを同時に，または流れ作業的に処理している．そのように処理されたウエハの組をロットと呼ぶ．そのため，同一ロットのウエハでは，比較的製造条件は似通ったものとなる可能性が高い．ロット間ばらつきとは，異なるロット間でのばらつきを示す．ウエハ間ばらつきは，同一ロット内のウエハ間でのばらつきを示す．チップ間ばらつきは，一枚のウエハ内での異なるチップ間のばらつきを表す．チップ内ばらつきは，一枚のチップ内での異なる位置どうしでのばらつきを表す．また，チップ間ばらつき，チップ内ばらつきはそれぞれ，ウエハ面内ばらつき，チップ面内ばらつきとも呼ばれる．

ここで，チップ内，チップ間でのばらつきに注目する．チップ内における素子特性のばらつきは，局所ばらつきと大域ばらつきの影響を受ける．局所ばらつきは，チップ内の素子それぞれに対して独立な変動を与える．大域ばらつきは，チップ内の位置に依存した変動成分を与える．アナログ回路において，この大域ばらつきによるチップ内での変動を考慮することは非常に重要である．しかし，デジタル回路では，一部の回路特性を除いて，チップ内での位置に依存した変動は重要ではなく，局所ばらつきが支配的である．そのため，近似的にチップ内の位置依存ばらつきを考慮しない解析が行われる事が多い．この場合，大域ばらつきによる変動成分はチップ内で一定とし，チップ間で大域ばらつきがどの程度変化するかが考慮される．区別のために，本論文では，これらばらつきをチップ内ばらつき，チップ間ばらつきと呼ぶ．チップ内ばらつきは，局所ばらつきのみによる変動を表す．チップ内の位置に依存したばらつきは考えない．チップ間ばらつきは，各チップにおける平均成分の違いを表す．局所ばらつき，大域ばらつきは，製造プロセスのばらつきを反映したばらつきの表現形であるのに対して，チップ内ばらつき，チップ間ばらつきは，解析側から見た分類であると考えることができる．



## 1.4 従来研究

ここでは，従来研究について説明するとともに，従来研究における問題点や改善すべき点について述べる．アナログ回路の比精度とデジタル回路の遅延時間ばらつきについて述べる．それらの解析において，どのようなばらつきモデルが必要であることを説明する．

### 1.4.1 アナログ回路における統計解析手法

アナログ回路はアナログ値を扱うため，製造ばらつきの影響が大きい．CMOS 素子の特性はロット間やウエハ間において大きく異なる．そのため，アナログ回路においては，素子特性の相対精度に頼った設計が行われる．しかし，この相対精度もばらつきを持つ．この相対精度を比精度と呼ぶ．アナログ回路設計において，素子の比精度を考慮する事が重要である．CMOS によるアナログ回路では，特にトランジスタの比精度の影響が大きい．製造ばらつき考慮のため，ワーストケースパラメータを用いた統計解析が広く行われている．しかし，回路中の全トランジスタに同じパラメータセットを割り振るワーストケース解析では，比精度を考慮することができない．比精度を解析するための手法が必要である．比精度解析においては，ばらつきのモデル化が重要な要素技術となっている．比精度解析のために必要なモデルについて説明する．

トランジスタの比精度を与えるモデルとして，Pelgrom のモデルが広く利用されている [16]．これは，素子寸法とペア素子間の距離により，比精度の標準偏差を与えるものである．素子寸法が大きくなると，ばらつきは小さくなる．これは，局所ばらつきの影響である．ペア素子間の距離が離れると，大域ばらつきの影響で比精度は悪化する．

ここで，図 1.5 に示す 3 個のトランジスタで構成されるカレントミラーについて考える．トランジスタ M1-M2 間，M1-M3 間でカレントミラーを構成する．トランジスタ M1, M2, M3 間のばらつきには大域ばらつきによる相関があるが，Pelgrom のモデルではこの相関を考慮することができない [48]．トランジスタ M1, M2, M3 に流れる電流  $I_1$ ,  $I_2$ ,  $I_3$  を考える．バイアスのずれはなく，ばらつきのない場合の電流値はすべて等しいとする．これらの電流値について大域ばらつきを考えると，トランジスタ M2 を流れる電流  $I_2$  が  $I_1$  より大きくなった場合は，トランジスタ M3 を流れる電流  $I_3$  も  $I_1$  や  $I_2$  より大きくなる．この場合では，図 1.5 の右ほどトランジスタの電流値が増えるような大域ばらつきがある．Pelgrom のモデルでは，大域ばらつきを配置関係ではなく，距離のみによって表すため，このような 3 個以上のトランジスタの解析に適用することはできない．局所ばらつきと大域ばらつきのモデル化において，距離ではなく配置関係を考慮できるモデルが必要である．

レイアウトに依存して素子の仕上がり寸法が変動する現象として，ローディング効果を挙げた [27, 28, 37]．ローディング効果は，比精度を悪化させる原因となる．図 1.5 のレイアウトにトランジスタ M4 を追加した図 1.6 のレイアウトを考える．この場合も，ト

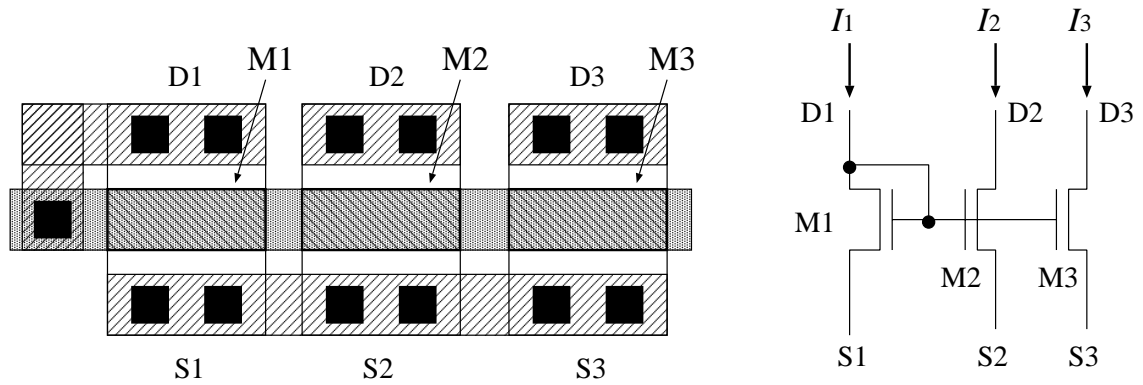


図 1.5: カレントミラーのレイアウト

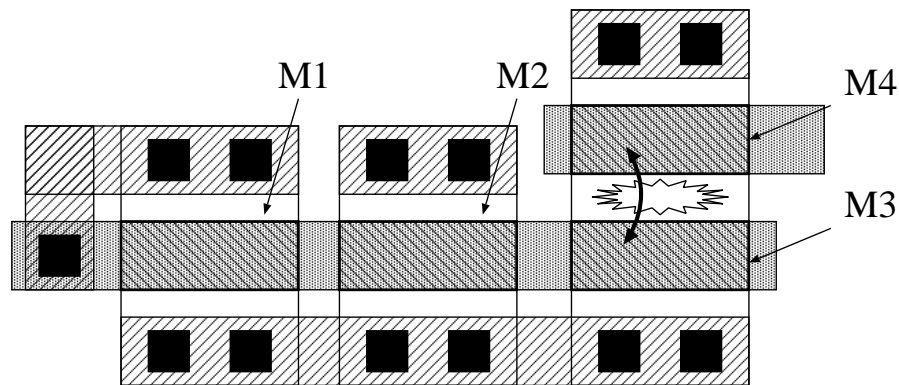


図 1.6: 近接素子がある場合のカレントミラーのレイアウト

ランジスタ M1-M2 間，M1-M3 間でカレントミラーを構成するものとする．トランジスタ M3 のゲート長は，近接したトランジスタ M4 の影響を受ける．そのため，トランジスタ M1，M2 とトランジスタ M3 のゲート仕上がり寸法は異なり，比精度も悪化する．比精度解析では，近接素子によるローディング効果の影響を見積ることが必要である．

以上のように，アナログ回路の比精度解析では，近接素子やトランジスタの配置関係といったレイアウトを考慮することが重要である．そのためには，レイアウトの違いを考慮するためのモデルの確立と解析技術の確立が必要である．

### 1.4.2 デジタル回路における統計解析手法

デジタル回路では，動作速度や消費電力が製造ばらつきの影響を受ける．論理ゲートの遅延性能や消費電力のばらつきや，配線特性のばらつきなどにより，回路性能がばらつく．微細化に伴うばらつきの増大により，従来は無視されてきたチップ内でのばら

つきが動作周波数への影響を増している [11–13, 24, 49–52] . チップ内でのばらつきを考慮した統計遅延解析が必要とされている .

一般的に , 同期回路の動作速度は , 値を保持するフリップフロップの性能 , 各フリップフロップへのクロックのずれ , フリップフロップ間の組合せ回路ブロックの遅延などの関係により決まる . フリップフロップ自体については , 遅延時間 , セットアップ時間 , ホールド時間や , それらのばらつきが影響する .

クロックツリーの設計では , 各枝での遅延時間が等しくなるように , 配線負荷を均一にし , 回路的レイアウト的な不均一がないように注意して設計が行われる . しかし , 局所ばらつきや大域ばらつきの影響で遅延の差が生じる . このずれをクロックスキューと呼ぶ . チップ内のばらつきを考慮しないワーストケース解析では , このようなクロックスキューを正確に見積ることができない [53–55] . 特に , クロックツリーはチップ全体に配置されるため , 大域ばらつきの影響が大きい . チップ内における大域的な変動を考慮したクロックスキューの解析方法が提案されている [12, 24, 50, 56, 57] .

大域の変動の影響を説明するために , H-Tree 型クロックツリーにおけるクロックスキューの解析例を示す . クロックバッファの遅延時間について , 図 1.3 で示すような , チップ内におけるランダムなばらつきと位置に依存した大域的なばらつきを考える . ばらつきの大きさは実測値から決めた . 実測したばらつき量のうち , ウエハ全体での大域ばらつきによる変動量と局所ばらつきによる変動量を 7:3 とした . チップ内での大域の変動量は , ウエハ全体での変動量の  $\frac{1}{10}$  とした . 図 1.7 に示すように , チップ内において位置によらず一定の値を用いた場合と比較する . 図 1.8 における A 地点と B 地点でのクロックスキューを解析した . 解析結果を図 1.9 に示す . 大域ばらつきによる位置に依存した変動を考慮する場合を Spatial simulation とし , 考慮しない場合を Non-Spatial simulation として示した . 局所ばらつきのため , クロックスキューは分布をもつ . 大域ばらつきの影響のため , クロックスキューは平均的に大きくなる . 位置に依存したばらつきを考慮する場合としない場合では , クロックスキューは平均で 66.7[ps] ずれた .  $+3\sigma$  の値では 64.0[ps] ずれた . クロックスキューの解析において , 位置に依存した大域ばらつきのモデル化が重要である . この例では , 大域ばらつきは固定の値としたが , 大域ばらつきの統計分布をモデル化する必要もある .

組合せ回路ブロックは , クロックツリーと比べ , チップ内の比較的狭い範囲に配置される . そのため , 位置に依存する大域ばらつきの影響は小さい . しかし , クロックツリーと比べ段数が多いため , 遅延時間自体は長い . そのため , 遅延のばらつきも大きい . クロックツリーでは遅延差が問題であったのに対して , 組合せ回路ブロックでは , 各ゲート遅延における絶対的なばらつき量と相対的なばらつきの両方を考慮する必要がある . つまり , チップ内ばらつきとチップ間ばらつきを考慮する必要がある . 多くの場合では , チップ間ばらつきのみについて解析が行われていたが , チップ内ばらつきも考慮する必要がある . チップ内ばらつきを考慮した手法として種々の提案が行われている [58–63] . モンテカルロ解析による方法は , 解析に時間がかかる [58, 59] . アナログ回路やクロック

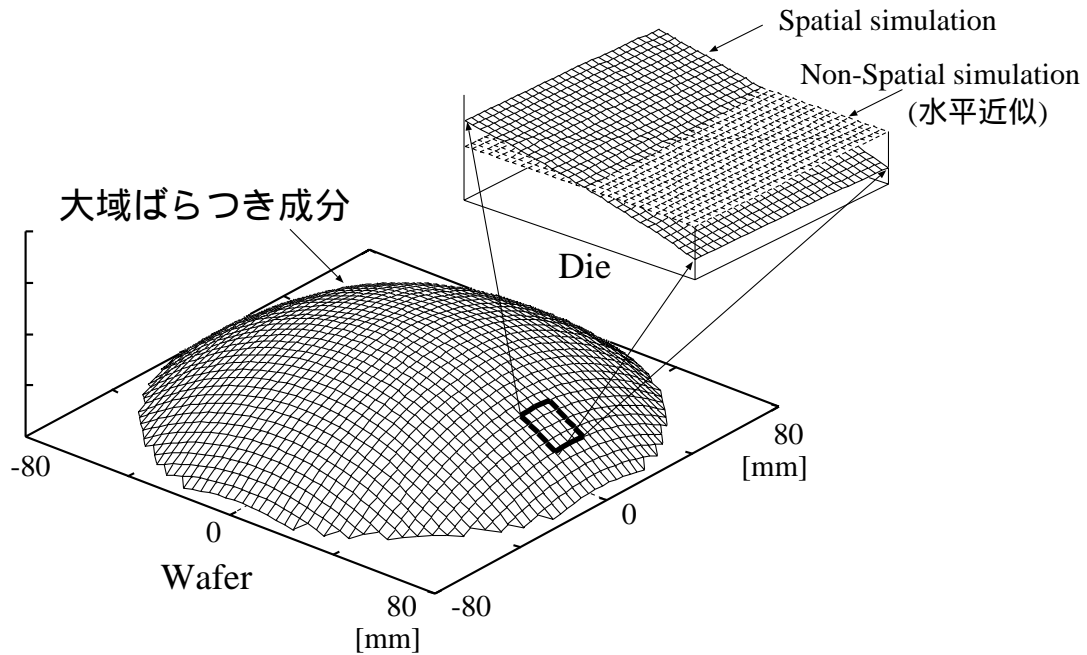


図 1.7: チップ内での大域ばらつきの変動 (模式図)

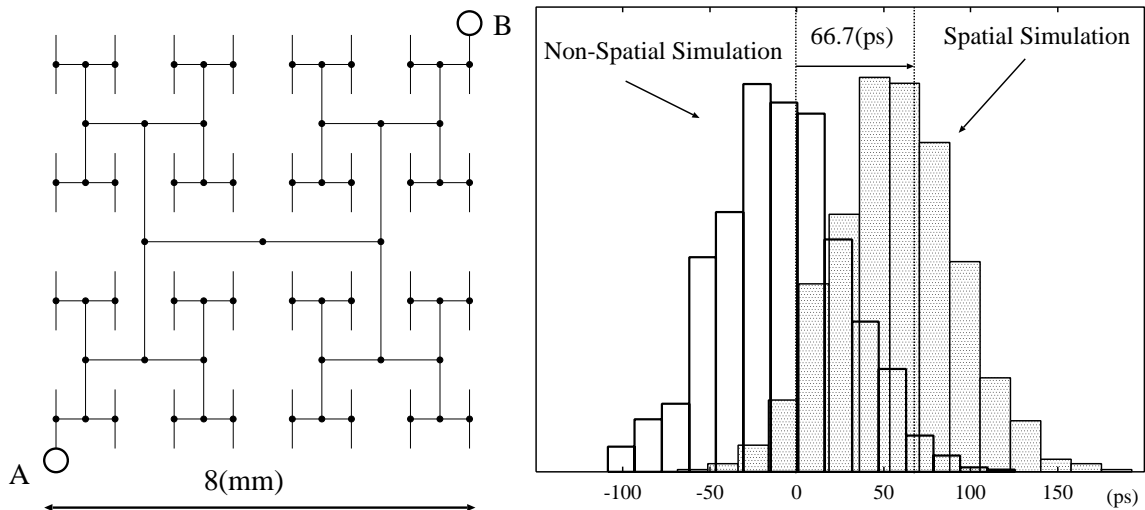


図 1.8: H-Tree 構造

図 1.9: クロックスキューの統計分布

ツリーの解析と比較すると素子数が非常に多いため、解析にかかる時間を削減することが重要である。各ゲートの遅延分布を考慮して、繰り返しなく回路遅延の統計分布を求める手法が提案されている [60, 61]。見積り誤差改善のために、各ゲートの遅延分布を正確に求める手法 [62] や、信号の相関を考慮する手法 [63]、確率密度関数の和を求める手法 [64] などが提案されている。各ゲートの遅延変動幅がわかれば、これらの手法により、チップ内ばらつきを考慮した回路遅延分布を求めることができる。しかし、各ゲートの

遅延変動幅を求める方法は明らかにされていない．特に，これまでの遅延解析手法では，チップ内ばらつきによるゲートの遅延変動幅を，平均遅延時間の15%や20%といった固定の割合で仮定している．しかし，ゲートの種類などにより遅延変動幅は異なる．これは，ゲート内におけるトランジスタ間でのばらつきが原因である．各ゲート遅延ばらつきにおける変動幅の見積り誤差は，そのまま回路遅延ばらつきの見積り誤差となって表れる．統計遅延解析においては，解析の方法と同様に，各ゲートの遅延変動幅を正確に見積ることが重要となっている．

### 1.4.3 ばらつきのモデル化

局所ばらつきのモデルとして，Pelgromのモデルが広く利用されている[16, 65]．これは，閾値電圧 $V_{TH}$ やゲイン $\beta$ の比精度について，分散がゲート面積に反比例するというモデルである．しかし，酸化膜厚などの物理的なパラメータと比べ，微細トランジスタの閾値電圧はゲート寸法やバイアス電圧などに強く依存する．そのため，ばらつきもゲート寸法などに依存する．局所ばらつきをゲート寸法によらず正確にモデル化するために，レイアウト上でのゲート寸法ではなく実効チャンネル寸法を用いるモデルや[66]，ゲートの面積だけでなく，チャンネル長やチャンネル幅も変数とするモデル[21, 67]，パラメータ数を5個に増やしたモデルが提案されている[68]．しかし，これらのモデルでも，超微細トランジスタのショートチャンネル効果やバイアス依存を考慮するのは困難である．ゲート寸法やバイアス条件によらないモデル化が必要である．

大域ばらつきは，位置に依存した関数としてモデル化される．大域ばらつきはウエハ全体に対してなだらかな変動として表されるが，チップ内での変動にのみ注目し，一次の傾きとしてモデル化する手法などが提案されている[48]．しかし，ウエハ全体での変動や，大域ばらつきの統計分布についてはモデル化されていない．大域ばらつきの統計分布を再現するために，ばらつきの空間周波数からモデル化を行う手法が提案されている[69]．この方法では，モデル化のために多数の測定が必要である．少ない測定コストで，大域ばらつきの統計分布を再現するためのモデル化技術が必要である．

レイアウト依存のばらつきとして，配線に対するCMPやローディング効果を考慮するモデルが提案されている[37, 41, 57]．比精度解析においては，トランジスタのローディング効果を考慮することが重要である．しかし，トランジスタのゲートポリシリコンに対するローディング効果の測定方法は提案されているが[25–28]，モデル化は不十分である．ゲートポリシリコンに対するローディング効果のモデル化が必要である．

#### 1.4.4 実測および抽出手法

モデル化の重要な一部分として、モデルパラメータの抽出技術がある。ばらつきモデルは、一般に、設計値や動作環境を表す変数と、プロセスごとに決まるモデルパラメータを持つ。これらのモデルパラメータは、設計を行うプロセスごとに合せ込みを行う必要がある。この合せ込みをモデルパラメータの抽出と呼ぶ。

パラメータの抽出には、TEG(Test Element Group) と呼ばれるテスト用回路を用いる。モデルごとに様々な TEG が提案されている [9, 17, 21, 26, 66, 67, 70–75]。チップ内での変動については、大域ばらつきによるチップ内での位置依存変動や、局所ばらつきによるランダムな変動を測定する必要がある。そのための TEG として、トランジスタアレイ型 TEG が提案されている [67, 70, 76, 77]。この TEG は、ソース、バックゲートをすべてのトランジスタで共通として、縦方向に共通なドレイン線と横方向に共通なゲート線から構成される。ゲート線、ドレイン線を選択することにより、トランジスタ 1 つ 1 つを選択して測定を行う。この TEG をチップ全面に配置することで、大域ばらつきによる傾き成分を測定することが可能である。しかし、多数の信号線を必要とするため、パッケージされた状態で測定される。そのため、ウエハ全体に対する大域ばらつきを測定することは困難である。また、チップ内ばらつきを回路的に増幅して測定する手法が提案されているが [74, 75]、ウエハ全体の大域ばらつきを測定するのは困難である。

トランジスタ特性については、多数の電流電圧特性を測定することにより MOSFET モデルパラメータのばらつきを抽出する。多数の電流特性から、効率的に MOSFET モデルパラメータのばらつきを抽出するために、中間モデルによる手法が有効である [78–80]。ただし、この手法ではチップ内のばらつきを抽出することはできない。MOSFET モデルパラメータの計算には、複数のトランジスタの電流特性が必要であるが、それらの特性は互いにチップ内ばらつきの影響を受ける。そのため、個々のトランジスタについて、チップ内ばらつきによる影響を知るのは困難である。

ローディング効果については、抵抗値から線幅を推定する TEG が提案されている [25–28, 37]。ゲートポリシリコンについても同様の回路構成で、ローディング効果を測定することが可能である。

### 1.5 研究の概要と本論文の構成

ここでは、研究の概要とともに、各章の構成について説明する。第 2 章では、レイアウトの考慮に注力し、ばらつきのモデル化および解析手法について提案する。第 3 章では、より一般的にばらつきのモデル化を行う。第 4 章では、第 3 章で提案したモデルのパラメータ抽出手法について提案する。第 5 章では、ゲート遅延モデルの提案を行う。以下で、各章の概要について説明する。

### 1.5.1 レイアウトを考慮した製造ばらつきのモデル化および解析手法

第2章では、アナログ回路の比精度解析を例にとり、製造ばらつきのレイアウト依存を考慮するためのモデル化手法と解析手法について説明する。製造ばらつきは、レイアウトに強く依存する。従来のばらつきモデルや解析手法では、レイアウト依存を十分に考慮できていない。

トランジスタ特性のばらつきには、製造プロセスの変動要因から、局所ばらつきと大域ばらつきの二種類のばらつき成分に分類できる。Pelgromのモデルでは、これらのばらつき成分を単一のモデル式で扱っていたため、三個以上のトランジスタの比精度を正しく表現する事ができなかった。提案モデルでは、局所ばらつきと大域ばらつきを別々のモデル式で表現し、トランジスタ間の距離ではなく、配置位置によってモデル化を行う。局所ばらつきと大域ばらつき以外に、トランジスタ特性に大きな影響を与えるものとして、ローディング効果がある。提案手法では、レイアウトに依存するばらつきであるローディング効果を、比精度解析において考慮する。ゲートポリシリコンに関するローディング効果を十分に評価できるモデルは存在しなかったため、アルミ配線に対するローディング効果のモデル式を参考に、ゲートポリシリコンに関するローディング効果のモデルを提案する。モデルパラメータを実測値から抽出する方法を説明し、比精度解析において、ローディング効果を考慮する方法を提案する。

比精度の解析では、レイアウトの考慮が必要である。設計の初期段階ではトランジスタ寸法と受動素子の結線関係のみによる設計が行われる。回路設計が進み、トランジスタ寸法や受動素子の値が決定した後にレイアウトが作成される。レイアウトが完成して、はじめてレイアウトを考慮した比精度解析が可能となる。しかし、トランジスタ寸法を決定する際にも、つまりレイアウト設計前にも比精度を考慮する必要がある。この問題を解決するために、本研究では、設計段階に応じた二つの解析手法を提案する。全回路解析法と部分回路モデル化法である。全回路解析法は、レイアウト設計後、完全なレイアウト情報を元に正確な回路の比精度を解析するための手法である。部分回路モデル化法は、いくつかのレイアウト例について、あらかじめ部分回路のモデル化を行っておくことで、レイアウトの確定していない設計の初期段階においても、擬似的にレイアウトを考慮した比精度解析を行う手法である。解析手法を使い分けることで、設計段階に応じた比精度解析の方法を提供する事を可能とする。

モデル化と解析手法の検証のために、カレントミラーの出力電流誤差について比精度解析を行った結果について示す。大域ばらつきを位置に依存した成分としてモデル化する事で、コモンセントロイド型レイアウトの有効性を定量的に評価できることを示す。

### 1.5.2 局所的ばらつきと大域的ばらつきを考慮したトランジスタ特性のモデル化手法

第3章では、局所ばらつきと大域ばらつきのモデル化について説明する。アナログ回路のみならず、デジタル回路の解析のためにも、局所ばらつきによるランダムな変動と大域ばらつきによる位置に依存した変動の統計的な性質をモデル化する必要がある。

第2章では、従来手法と同じく閾値電圧  $V_{TH}$  やゲイン  $\beta$  についてばらつきを考慮したが、これらのパラメータは、トランジスタの寸法やバイアス条件の影響を受ける。そのため、それらパラメータのばらつきにおいても、寸法やバイアスの影響を受けるという問題がある。この問題に対処するため、提案手法では、ばらつきモデルにおいて寸法やバイアスを考慮するのではなく、そもそも、寸法やバイアスに依存しない物理的なパラメータについてモデル化を行う。これらのパラメータを物理パラメータと呼ぶ。実測特性から、物理性の高いパラメータを得るために、中間モデルによる手法を用いる。中間モデルを用いることで、多数の実測データから効率的に物理パラメータのばらつきを得ることが可能である。

大域ばらつきのモデル化において、従来はチップ内での振舞いについてのみモデル化が行われていた。しかし、回路特性の統計分布を得るためには、チップ間も含めた大域ばらつきの統計分布が必要である。本研究では、大域ばらつきについて、チップ内のみならず、ウエハ全体に対する変動をモデル化することで、大域ばらつきの統計的分布を再現するモデルを提案する。ウエハ上の位置により、大域ばらつきを簡単な2次式で近似する。

ウエハ全体に対して、局所ばらつきと大域ばらつきを測定を行った。実測結果から、従来研究で示されているような大域ばらつきのなだかな変動を確認した。大域ばらつきはランダムなばらつきではないので、一般には正規分布とはならない。実測した大域ばらつきの分布を示し、正規分布による近似では誤差が大きくなる場合があることを示す。

### 1.5.3 実測値からのばらつきモデルパラメータ抽出手法

第4章では、第3章で提案した局所ばらつきモデルと大域ばらつきモデルのパラメータを抽出するための手法について説明する。パラメータ抽出において、測定のコストと抽出の精度が問題である。

大域ばらつきのモデル化では、局所ばらつきと大域ばらつきを精度よく分離することと、ウエハ全体に対する大域ばらつきの分布をモデル化することが重要である。従来提案されているトランジスタアレイ型の TEG では、ウエハをダイシングし、パッケージされた後に測定を行うため、ウエハ上での位置を特定するのは困難である。さらに、チップ内での大域ばらつきによる変動成分と局所ばらつきによる変動成分が実測特性に影響するため、両者の分離が困難となる。提案手法では、チップ内のごく狭い範囲から測定



を行うことで、局所ばらつきのみによるばらつき成分を分離する。ウエハはダイシングせず、測定はウエハ全面に対して行う。大域ばらつきは、各チップでの平均成分をつなぐことで再現する。

実測した電流特性のばらつきは、物理パラメータのばらつきにより表現する。物理パラメータは複数のトランジスタの電流特性から計算するため、各トランジスタからのチップ内ばらつきの影響を受ける。そこで、各物理パラメータから電流値への感度を考えることで、各パラメータのばらつきを統計的に分離する手法を提案する。

提案手法の検証のために、リングオシレータの発振周波数ばらつきとの比較を行う。リングオシレータの発振周期のばらつきについて、段数が長くなるほど局所ばらつきの影響が平均化されて小さくなることに注目し、段数の異なる複数のリングオシレータとの比較を行う。第4章で説明する抽出手法を用いて、トランジスタ TEG の実測から局所ばらつきモデルと大域ばらつきモデルのパラメータ抽出を行う。抽出したモデルパラメータを用いて、リングオシレータの発振周期を見積る。リングオシレータの実測結果と比較し、段数が増えるごとに局所ばらつきの影響が減少することを示す。

#### 1.5.4 チップ内ばらつきを考慮した統計的遅延解析手法

第5章では、デジタル回路について、組合せ回路ブロックの統計遅延解析手法について説明する。各ゲート遅延ばらつきから回路遅延のばらつきを求める手法は複数提案されている。これらの手法を用いて現実的な回路遅延ばらつきを解析するためには、個々のゲート遅延のばらつきを正確に求める必要がある。各ゲート遅延ばらつきの変動幅は、直接回路遅延ばらつきに影響する。第5章では、各ゲートでの遅延ばらつきについてモデル化を行う。

組合せ回路ブロックは、チップ内の比較的狭い範囲に配置されるため、チップ内における大域ばらつきの影響は小さい。大域ばらつきはチップ内で近似的に一定であるとする。この近似のもとでは、区別のため、局所ばらつきと大域ばらつきをそれぞれチップ内ばらつき、チップ間ばらつきと呼ぶ。第5章では、トランジスタ特性のチップ内ばらつきとチップ間ばらつきから、ゲート遅延のチップ内ばらつきとチップ間ばらつきを再現するモデルを提案する。ゲート遅延ばらつきのモデル化においては、ゲート内でトランジスタ間ばらつきを考慮することが重要である。このゲート内でのばらつきを特にゲート内ばらつきと呼ぶ。提案手法では、応答曲面法を用い、物理パラメータから遅延時間を求めるモデルを立てる。ゲート内ばらつきを考慮するためには、各トランジスタについてそれぞれ変動変数を割当てて方法が考えられるが、その場合、変動変数が増大する。変動変数の増大は、応答曲面法の係数を求めるコストや遅延計算時の計算コストの増大を招く。提案手法では、複数の正規分布の和が、また正規分布で表されるという統計的性質を利用し、変動変数の削減を行う。

提案モデルの誤差評価を行う．具体的な回路の遅延ばらつきを例に，ゲート内ばらつきを考慮する場合としない場合で，遅延分布に差がであることを示す．



## 第2章

---

# レイアウトを考慮した製造ばらつきのモデル化および解析手法

---

### 2.1 まえがき

本章では，レイアウトを考慮した素子ばらつきのモデル化手法と統計回路解析の手法について提案する．

製造条件の変動が回路性能にばらつきを与える．微細化や低電源電圧化のため，製造ばらつきの回路性能に対する影響が相対的に増大している．近年，アナログ回路の需要が増しているが，0 か 1 の信号を扱うデジタル回路に比べ，アナログ回路では製造ばらつきの影響が顕著である．素子特性の絶対精度は低いため，アナログ回路の設計では，素子の相対精度に頼った設計が行われる．しかし，相対精度も，製造ばらつきの影響を受ける [15, 16, 21, 65, 67, 81]．この相対精度を比精度と呼ぶ．カレントミラーやオペアンプなどのアナログ回路において，比精度は回路特性を決定する重要な指標である．従来から，比精度を向上させるための回路方式やレイアウト手法がいくつか考えられている [22, 70, 82, 83]．しかし，いずれも設計者の経験や勘によるもので，有効性が定量的に確かめられていない．

一般的にはトランジスタの寸法が小さくなれば，比精度が悪くなる．将来的には，MOS-FET 最小寸法は 70 ~ 90[nm] と縮小されていき，比精度も益々悪くなっていく事が予想される．比精度の悪化は，歩留りを低下させ，製造コストを増大させる．微細化による素子性能の向上の反面，設計コスト，製造コストが増大している．微細化の恩恵を受けるためにも，歩留りの高い回路を設計する必要がある．比精度はレイアウトに強く依存する．比精度の良い回路を設計するためにも，レイアウトを考慮した比精度解析手法の開発が急務である．

本章では，製造ばらつきのモデル化および解析手法を提案する．トランジスタ特性に影響を与えるばらつきとして，局所ばらつきと大域ばらつき，ローディング効果についてモデル化を行う．従来，局所ばらつきと大域ばらつきは単一の式でモデル化されてい

たため、統計的性質を正しく再現できなかった。本手法では、これらの成分を分離し、別々の式により表すことで、配置位置、つまりは、レイアウトを考慮したモデル化を行う。比精度に多大な影響を与えるローディング効果は、従来モデル化されていなかったため、新たにモデルを考案する。ローディング効果のモデルパラメータを実測から求めるための回路についても説明する。

本手法では、設計段階に応じた二つの比精度解析手法を提案する。比精度解析にはレイアウト情報が必要であるが、設計の初期段階においては、レイアウトは決定していない。しかし、設計の早い段階から比精度を考慮して設計を行う事は重要である。設計の初期段階においては、レイアウトを仮定して、比精度の概略値を与える手法を提供する。レイアウト設計が終った後では、素子の配置やローディング効果を考慮した厳密な比精度解析を行う。

## 2.2 製造ばらつきのモデル化

アナログ回路の設計において、ネットリスト<sup>1</sup>での設計および回路シミュレーションを行うことが多い。実際に集積回路を製造するにはマスクパターンとなるレイアウト図が必要であり、レイアウトはネットリストを元に作成される。あるネットリストに対して、レイアウトの方法は無数に存在するが、レイアウト方法により比精度は異なることが知られている。つまり、プロセス変動はレイアウトに依存する。比精度解析のためには、プロセス変動を統計的な規則を持ったばらつきとして捉え、モデル化する必要がある。本節では、回路特性をばらつかせる種々の効果について説明する。従来モデルの問題点について述べ、比精度解析のためのモデルを提案する。

### 2.2.1 トランジスタ特性をばらつかせる要因

トランジスタ特性のばらつきのうち、統計的な変動を与えるものとして、局所ばらつきと大域ばらつきがある。局所ばらつきは、プロセス変動のガウス雑音にあたる成分である。大域ばらつきは、製造時の温度勾配などに起因するもので、ウエハ全体にわたってなだらかな変化を示す。トランジスタの寸法自体を変動させる要因として、ローディング効果がある。ローディング効果は、パターンの仕上り幅がパターンの疎密度によって変動する現象である。ローディング効果の影響は、レイアウトに依存する。局所ばらつきや大域ばらつきの大きさは、統計的に変動するのに対し、ローディング効果の影響はレイアウトに固有であるとしてモデル化を行う。トランジスタ特性に関しては、特にチャネル長への影響が大きい。トランジスタ特性は、BSIM(Berkeley Short-Channel IGFET Model)[84]をはじめとする MOSFET モデルにより表現する。MOSFET モデルは、閾値

<sup>1</sup>各素子間の配線情報を記述したもの。素子の配置情報は持たない。

電圧や移動度などを表す MOSFET モデルパラメータにより特徴づけられる．トランジスタ特性のばらつきは，これら MOSFET モデルパラメータのばらつきにより表現する．

### 2.2.2 Pelgrom の比精度ばらつきモデル

トランジスタ特性のばらつきモデルとして広く用いられてきた Pelgrom モデル [16, 65] の説明を行う．Pelgrom モデルは，2 つの同じ大きさの素子について，それらの特性の差の分散を，面積と距離の関数で表すものである．

$$\begin{aligned} \Delta P(x_{12}, y_{12}) = & \frac{1}{area1} \int \int_{area(x_1, y_1)} P(x, y) dx dy \\ & - \frac{1}{area2} \int \int_{area(x_2, y_2)} P(x, y) dx dy \end{aligned} \quad (2.1)$$

式 (2.1) 中の  $P(x, y)$  は MOSFET モデルパラメータを示す．トランジスタの配置を  $area(x, y)$  で表す時に，トランジスタの面積を  $area$  で表す． $\Delta P(x_{12}, y_{12})$  は図 2.1 に示されるように  $(x_1, y_1)$  に配置されたトランジスタと  $(x_2, y_2)$  に配置されたトランジスタのモデルパラメータの平均差，つまりは，比精度である．モデルパラメータとして閾値電圧  $V_{TH}$  を考えた時，閾値電圧のばらつきは，主にチャネルでの不純物密度のばらつきに起因する．チャネル内の各場所において，不純物密度は不均一であり，閾値電圧は，平均の不純物密度から決定する．

比精度は，統計情報としてしか得られないので，比精度を知るための指標として，比精度の標準偏差  $\sigma(\Delta P)$  を用いる． $\sigma(\Delta P)$  を式 (2.1) から直接求めるのは困難である．式 (2.1) の  $\Delta P(x, y)$  を変数  $x, y$  について Fourier 変換すると，次式が得られる．

$$\Delta p(w_x, w_y) = q(w_x, w_y) p(w_x, w_y) \quad (2.2)$$

$\Delta p(w_x, w_y)$  は，プロセス変動による不規則なばらつきを表す関数である  $p(w_x, w_y)$  と，素子の形に対する関数である  $q(w_x, w_y)$  との積で与えられる．

ここで，図 2.2 のように  $W \times L$  の構造を持つ 2 つのデバイスを考え，それが  $x$  軸に沿って  $D_x$  離れた位置にあるとすると， $q$  は 関数を Fourier 変換した形で，次式 (2.3) および (2.4) で表せる．

$$F^{-1}[q(w_x, w_y)] = \begin{cases} \frac{1}{WL} & (|x| < \frac{L}{2}, |y| < \frac{W}{2}) \\ -\frac{1}{WL} & (|x - d_x| < \frac{L}{2}, |y| < \frac{W}{2}) \end{cases} \quad (2.3)$$

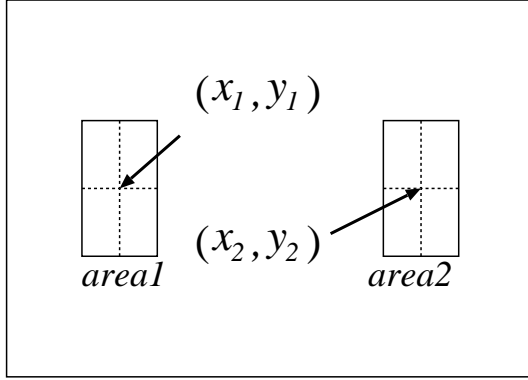


図 2.1: Pelgrom モデルにおける  
パラメータの取り方 (面積)

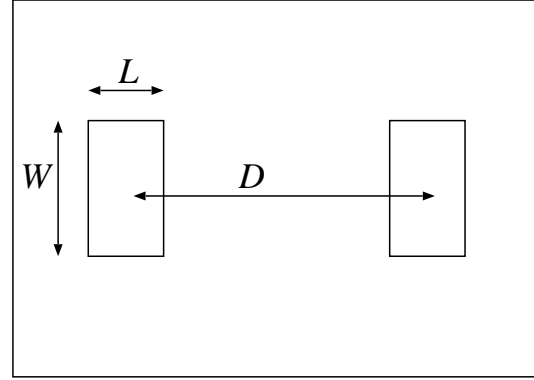


図 2.2: Pelgrom モデルにおける  
パラメータの取り方 (距離)

$$q(w_x, w_y) = \frac{\sin(w_x L/2)}{w_x L/2} \cdot \frac{\sin(w_y W/2)}{w_y W/2} \cdot (1 - e^{w_x D_x}) \quad (2.4)$$

また,  $p(w_x, w_y)$  はガウス雑音の成分と考えると, Fourier 領域では,  $w$  に無関係な定数となる.  $p(w_x, w_y)$  が  $\frac{K}{2\pi}$  に等しいとすると, 式 (2.5) が成立つ.

$$\begin{aligned} \sigma^2(\Delta P) &= \int_{x=-\infty}^{x=\infty} \int_{y=-\infty}^{y=\infty} (\Delta P)^2 dx dy \\ &= \int_{w_x=-\infty}^{w_x=\infty} \int_{w_y=-\infty}^{w_y=\infty} \|q(w_x, w_y)\|^2 \|p(w_x, w_y)\|^2 dw_x dw_y \end{aligned} \quad (2.5)$$

式 (2.5) に式 (2.4) を代入すれば, 式 (2.6) が得られる.

$$\sigma^2(\Delta P) = \frac{A_{\Delta P}^2}{WL} + S_{\Delta P}^2 D^2 \quad (2.6)$$

式 (2.6) が Pelgrom モデルのモデル式となる.  $A_{\Delta P}, S_{\Delta P}$  はプロセスに依存する定数である. モデル式についてもう少し説明する. 2つのトランジスタにおいて MOSFET モデルパラメータ  $P$  が, どれだけくい違っているかを示すのが比精度  $\Delta P$  である. この時, 比精度は標準偏差として与えられ,  $\sigma(\Delta P)$  が小さい程, 2つのトランジスタの特性は近いことになる. 逆に,  $\sigma(\Delta P)$  が大きい程, 2つのトランジスタの特性はくい違っていることになる. 寸法に関して,  $W, L$  が大きくなれば, 比精度は良くなる.

### 2.2.3 比精度ばらつきモデルの提案

式 (2.6) に示される Pelgrom のモデルでは, 局所ばらつきと大域ばらつきを1つの式で表す. そのため, 大域ばらつきの位置依存性を表現できない. 例として, 図 2.3 のよう

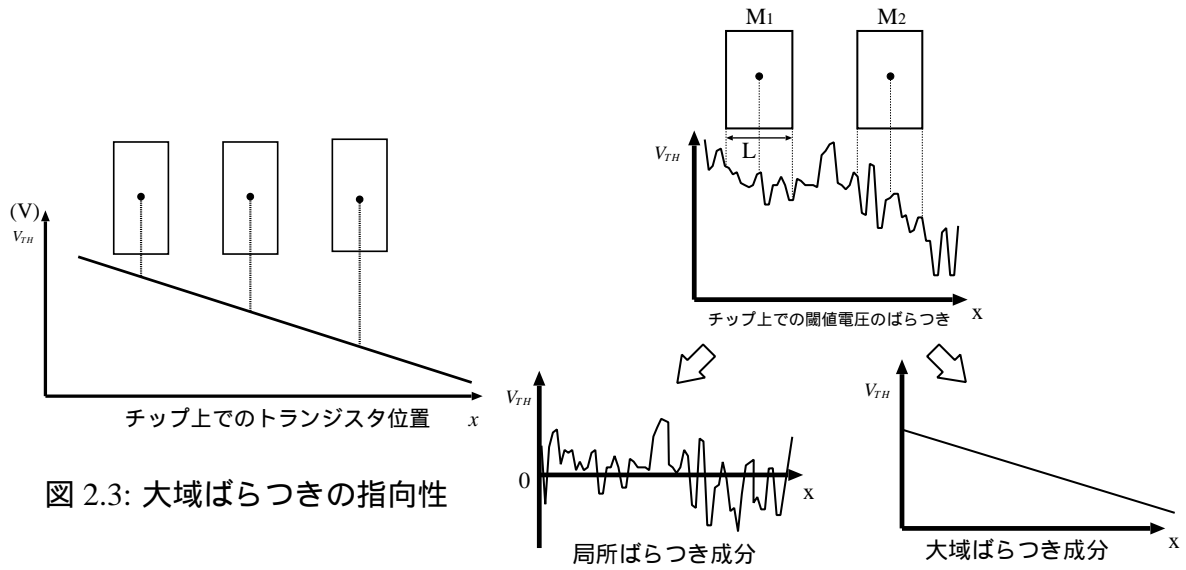


図 2.3: 大域ばらつきの指向性

図 2.4: 局所ばらつき、大域ばらつきへの分離

にトランジスタが三つ並んだ場合を考える．中央のトランジスタを基準にすると，大域ばらつきは，右側のトランジスタでは小さくなり，左側では大きくなる．トランジスタ間の距離のみを用いるモデルでは，トランジスタの配置関係は考慮されない．そのため，右側と左側のトランジスタで大域ばらつきの大きさは同じになってしまう．

本研究では，図 2.4 に示すように，大域ばらつきと局所ばらつきを分離し，それぞれを別々の式でモデル化する手法を提案する．また，Pelgrom のモデルでは，ペア素子間の特性の差  $\sigma(\Delta P)$  をパラメータとしている．このため，寸法の等しい時にのみ比精度を評価することができたが，提案モデルではトランジスタの平均特性との差をパラメータとすることで，寸法の異なる素子間の比精度を評価する．

### 局所ばらつきモデル

本手法では局所ばらつきを大域ばらつきとは独立な正規分布としてモデル化する．Pelgrom のモデルにおいて，式 (2.6) の右辺第 1 項が局所ばらつきを，第 2 項が大域ばらつきを表す．Pelgrom のモデルを参考に，局所ばらつきを以下のモデル式で表す．

$$\sigma^2(P_i) = \frac{A_P^2}{W_i L_i} \quad (2.7)$$

$P_i$  は MOSFET モデルパラメータで，局所ばらつき成分は平均からの差で表す． $\sigma(P_i)$  は  $P_i$  の標準偏差である． $A_P$  は，局所ばらつきモデルにおけるパラメータである． $W_i, L_i$  はトランジスタのゲート寸法を示す．ゲート寸法が大きくなると，特性のばらつきは小さくなる．



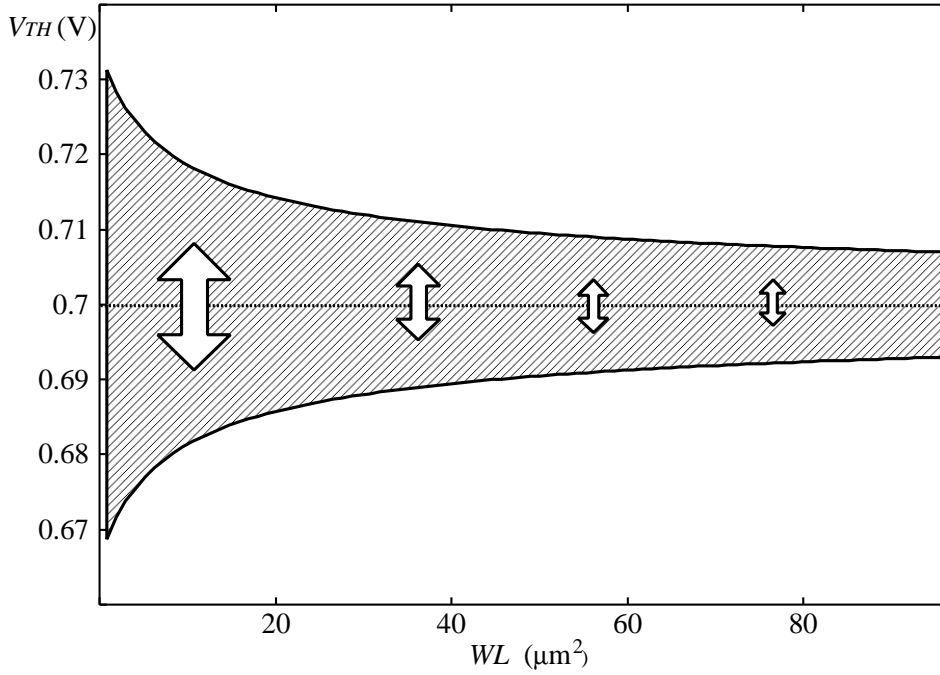


図 2.5: 局所ばらつきモデルによる閾値電圧の変動幅

例として，図 2.5 に，あるプロセスでの閾値電圧のばらつきを示す．横軸はトランジスタのゲート面積で，縦軸は閾値電圧を示す．図中の斜線部分は平均値  $\pm 3\sigma(V_{TH})$  の範囲を示す．面積が小さくなるほど，閾値電圧のばらつき幅は大きくなる．

### 大域ばらつきモデル

大域ばらつき成分はチップの大きさ程度では線形に変動するとしてモデル化を行う．以下にモデル式を示す．

$$\bar{P}_i = \bar{P} + \frac{\partial P}{\partial x}x_i + \frac{\partial P}{\partial y}y_i \quad (2.8)$$

大域ばらつきを位置による関数として表す．チップ上で原点を設定し，その点でのトランジスタ特性を  $\bar{P}$  とする．大域ばらつきを 1 次元の傾きとして近似し，モデルパラメータ  $(\frac{\partial P}{\partial x}, \frac{\partial P}{\partial y})$  で表す．図 2.6 に示すように，トランジスタ特性ばらつきの大域ばらつき成分を，トランジスタの中心座標  $(x_i, y_i)$  から式 (2.8) により決定する．2 つのトランジスタの特性を考えると，それらの距離が離れるほど，特性は異なったものとなる．

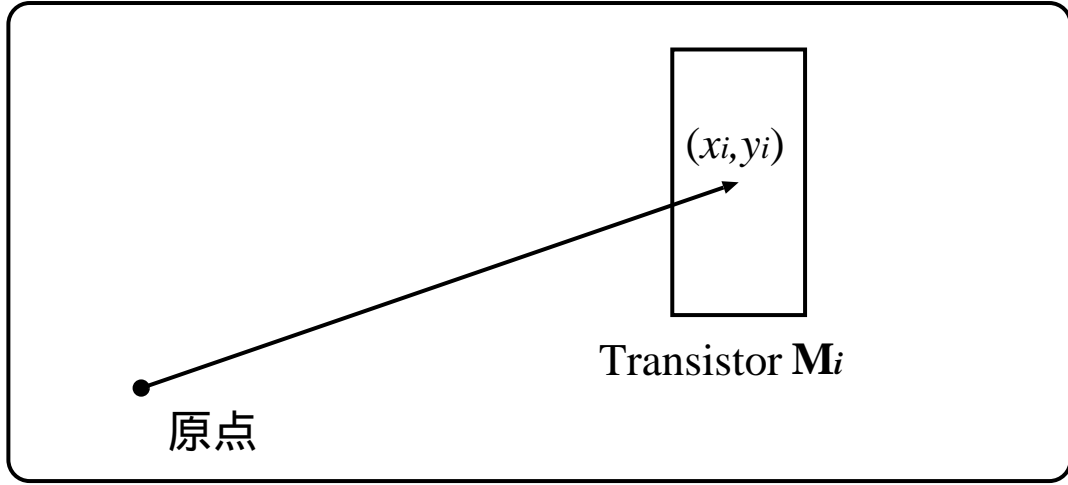


図 2.6: 大域ばらつきのパラメータ決定

### トランジスタ特性の再現

トランジスタ特性のばらつきを再現する方法について説明する．トランジスタ特性のばらつきは，MOSFET モデルパラメータである閾値電圧  $V_{TH}$  とゲイン  $\beta$  のばらつきで表現する [16, 21, 65, 67]．MOSFET モデルパラメータ  $V_{TH}, \beta$  のばらつきは，局所ばらつき成分と大域ばらつき成分の和として表す．局所ばらつきモデルでは，トランジスタ特性の変動幅がゲート寸法によって決まり，大域ばらつきモデルでは，トランジスタ特性の平均値がその位置によって決定される．大域ばらつきのモデルパラメータは，実測から求めたいいくつかの最悪値を用いる．局所ばらつきモデルは統計的な分散を与える． $(rand_i)$  を平均値 0，分散 1 の標準正規分布に則った乱数であるとして，ばらつきを含んだ MOSFET モデルパラメータは，以下の式 (2.9) で表すことができる．

$$P = \bar{P} + \sigma(P) \times (rand) \quad (2.9)$$

### 2.2.4 Pelgrom モデルとの比較

ここでは，提案モデルと Pelgrom モデルとの比較を行うことで，提案モデルの妥当性を検討する．

提案モデルにより，トランジスタ対の特性ばらつきを求める．トランジスタ  $a, b$  について，MOSFET モデルパラメータ  $P_a, P_b$  は，以下の式で表すことができる．

$$P_a = \bar{P}_a + \sigma(P_a) \times (rand_a) \quad (2.10)$$

$$P_b = \overline{P}_b + \sigma(P_b) \times (rand_b) \quad (2.11)$$

添字  $a, b$  は, トランジスタ  $a, b$  を表す. トランジスタ間の特性の差  $\Delta P$  は, 次式で表される.

$$\Delta P = P_a - P_b \quad (2.12)$$

$$= \overline{P}_a - \overline{P}_b + \sigma(P_a) \times (rand_a) - \sigma(P_b) \times (rand_b) \quad (2.13)$$

トランジスタ対のゲート寸法は等しく,  $\sigma(P_a)$  と  $\sigma(P_b)$  も等しい. トランジスタ間において, 局所ばらつき成分は独立であるとする, 次式が導かれる.

$$\Delta P = \overline{P}_a - \overline{P}_b + \sigma(P) \times (rand_a) - \sigma(P) \times (rand_b) \quad (2.14)$$

$$= \overline{P}_a - \overline{P}_b + \sqrt{2}\sigma(P) \times (rand_P) \quad (2.15)$$

大域ばらつきは, トランジスタ対の近傍のみを考慮して, 1次元の傾きとして近似する. トランジスタ間の距離は  $D$  とする. 大域ばらつきによる特性の傾きが正規分布であるとすると, 標準正規分布に則った乱数 ( $rand_S$ ) を用いて, 大域ばらつき成分の差は, 以下の式より導かれる.

$$D^2 = (x_a - x_b)^2 + (y_a - y_b)^2 \quad (2.16)$$

$$\overline{P}_a - \overline{P}_b = \{\overline{P} + \frac{\partial P}{\partial x} x_a + \frac{\partial P}{\partial y} y_a\} \quad (2.17)$$

$$- \{\overline{P} + \frac{\partial P}{\partial x} x_b + \frac{\partial P}{\partial y} y_b\} \quad (2.18)$$

$$= S_{\Delta P} D (rand_S) \quad (2.19)$$

式 (2.15)(2.19) から, トランジスタ間の特性の差  $\Delta P$  は, 式 (2.20) で表される.

$$\Delta P = S_{\Delta P} D (rand_S) + \sqrt{2} \sigma(P) (rand_P) \quad (2.20)$$

式 (2.20) を用いると,  $\Delta P$  の分散は以下のように計算できる.

$$\begin{aligned} \sigma^2(\Delta P) &= \overline{(\Delta P - \overline{\Delta P})^2} \\ &= \overline{2\sigma^2(P) (rand_P)^2} \\ &\quad + 2\sqrt{2} \sigma(P) S_{\Delta P} D (rand_P) (rand_S) \end{aligned} \quad (2.21)$$

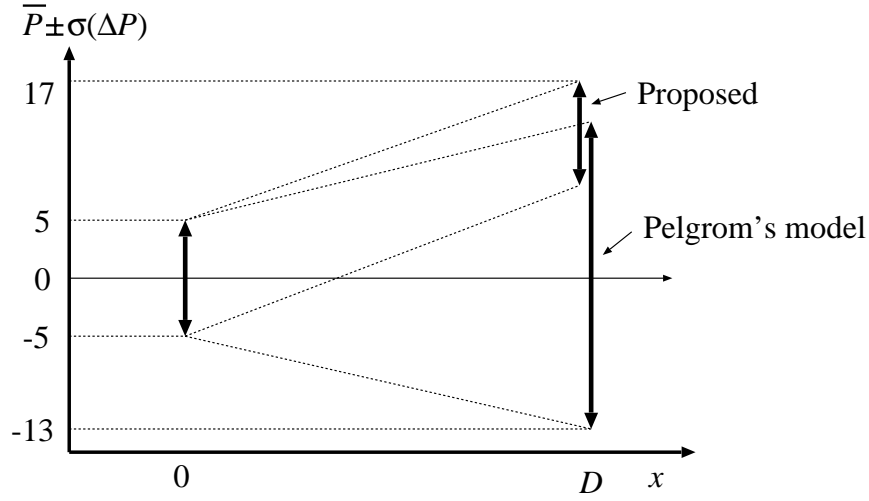


図 2.7: Pelgrom モデルと提案モデルの比較

$$+ S_{\Delta P}^2 (\text{rand}_S)^2 D^2 \quad (2.22)$$

$$= 2\sigma^2(P) + S_{\Delta P}^2 D^2 \quad (2.23)$$

$$= \frac{2A_P^2}{WL} + S_{\Delta P}^2 D^2 \quad (2.24)$$

$$= \frac{A_{\Delta P}^2}{WL} + S_{\Delta P}^2 D^2 \quad (2.25)$$

以上より、2つのトランジスタのみに注目した場合、提案モデルは、Pelgrom のモデルの式 (2.6) と等価であることが導けた。提案モデルは Pelgrom モデルの上位互換である。

Pelgrom のモデルはトランジスタ対の比精度を与えるためのモデルであるため、位置に依存した大域的変動を仮定する場合はモデル化することができない。ここで、理解のためにパラメータに値を与えてみる。仮に、局所ばらつき  $\frac{A_{\Delta P}^2}{WL}$  を  $5^2$ 、大域ばらつき  $\frac{\partial P}{\partial x} D$  を 12 とする。Pelgrom モデルでは、標準偏差  $\sigma(\Delta P)$  が  $13 (= \sqrt{5^2 + 12^2})$  となる。提案モデルでは、標準偏差  $\sigma(\Delta P)$  は 5 となり、平均値が 12 となる。上記条件において、MOSFET モデルパラメータ  $P$  の変動を図 2.7 に示す。図において、横軸をトランジスタ間の距離とし、縦軸を  $\bar{P} \pm \sigma(\Delta P)$  とする。原点から距離  $D$  だけ離れた位置においては、提案モデルと Pelgrom モデルにおいて、大きな差が見られる。大域ばらつきを考える場合、遠くにある素子間でも、その特性の平均値がずれるだけで、ばらつきの分散の大きさ自体、つまり、局所ばらつきの大きさは変化しない。

### 2.2.5 ローディング効果モデル

ローディング効果 (Micro-Loading Effect) とは，パターンの仕上り寸法が，パターンの疎密度によって変動する現象のことである．ここではゲート電極として用いられる多結晶シリコン (以後，ゲートポリシリコン) に関する変動に注目する．カレントミラーなどの比精度を要求する回路では，このローディング効果のためにトランジスタのゲート長が大きく変動し，回路特性を著しく劣化させることがある [12, 23, 25–28]．

ローディング効果は，大まかにはサイズ効果と近接効果に分類できる．サイズ効果とは，ゲート自体の大きさによって寸法が変わる効果である．近接効果とは，周辺にどのようなトランジスタが配置してあるかによって寸法が変わることである．こうした効果は，露光行程の光の干渉や，エッチング工程でのプラズマ密度の濃淡によって発生する．

ローディング効果の影響は，デバイスシミュレータを用いて見積る事も可能であるが，デバイスシミュレータによる計算は非常に時間を要する．高速な見積りのためには数式モデルが必要である．従来は，アルミ配線に対するローディング効果を評価するためのモデルは存在した [27, 37]．しかし，このモデルでは比精度解析を行うのに十分ではない．本節では，アルミ配線に対するローディング効果モデルを参考に，ポリシリコンに対するローディング効果のモデルを提案する．

まず，アルミ配線に対するモデルについて説明する．アルミ配線に対するローディング効果は次式によりモデル化されている．

$$W_{ij} - W_i = \Delta W + K_w/W_i + K_s/S_j \quad (2.26)$$

$K_w$  はサイズ効果の係数， $K_s$  は近接効果の係数であり， $W_i$  は線幅の設計値， $S_j$  は近接したパターンとの距離， $\Delta W$  はサイズ効果と近接効果がない時のずれである．

一般に，ローディング効果の影響で，パターンが密なほど仕上がり寸法は細くなることが知られている．近接効果に対しては，近傍のパターンが近くなるほど，注目するレイアウトパターンは細くなる．サイズ効果に関しては，注目するパターンの設計寸法が細くなるほど実際の仕上がり幅との差は大きくなり，細くなる．アルミ配線に対するモデル式 (2.26) では，これらの効果の特徴づけている．ゲートポリシリコンに対するモデル化においても，これらの効果を考慮するとともに，以下の場合についても考慮する必要がある．

- 近接したパターンの幅を考慮する．
- パターンが近接して左右両側にある場合がある．
- パターンが幅方向に対称でない場合がある．

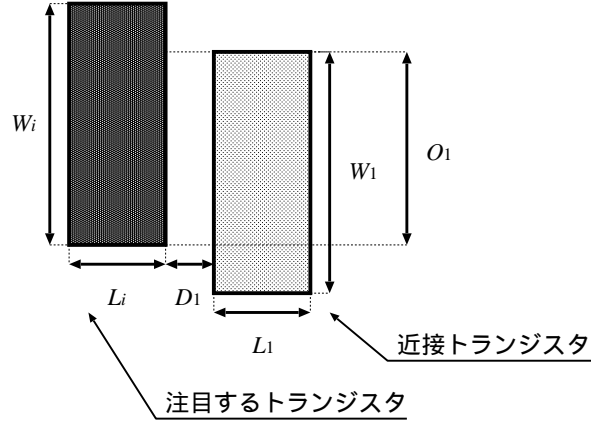


図 2.8: モデル式におけるパラメータ

以上の問題点を解決すべく，実測値を考慮し，以下のモデルを提案する．

$$\tilde{L}_i = L_i + \Delta L + \frac{K_L}{L_i} + \sum_{n=1}^m \left( \frac{K_D}{D_n} - \frac{K_D}{D_n + L_n} \right) \frac{O_n}{W_i} \quad (2.27)$$

ゲートの設計寸法により仕上がり寸法をモデル化する．微細 MOSFET トランジスタでは，一般にチャンネル長の方がチャンネル幅より細いため，チャンネル長  $L$  についてモデル化を行う． $L_i, W_i$  は，注目するトランジスタにおけるゲート寸法の設計値である． $\tilde{L}_i$  は製造後の仕上がりゲート長である．近接トランジスタの数を  $m$  とし， $L_n$  はそのチャンネル長（設計値）， $D_n$  はそのトランジスタとの距離， $O_n$  はチャンネル幅方向の重なり長さである（図 2.8）．式中の  $K_L$  はサイズ効果に関する係数， $K_D$  は近接効果に関する係数である． $\Delta L$  はサイズ効果と近接効果がない時のずれ (off-set) である． $K_L, K_D, \Delta L$  がプロセスごとに異なるモデルパラメータとなる．

アルミ配線に対するローディング効果モデルとの比較を行う．2 本の十分に長いポリシリコンの配線が並列に配置されている場合， $m$  が 1 であり， $O_n$  が  $W_i$  に等しい．式 (2.27) は，次式のように変換できる．

$$\tilde{L}_i = L_i + \Delta L + \frac{K_L}{L_i} + \frac{K_D}{D_1} - \frac{K_D}{D_1 + L_1} \quad (2.28)$$

式 (2.28) と従来モデルの式 (2.26) とを比較すると，違いは右辺の第 5 項のみである．右辺の第 4 項と第 5 項では，常に第 5 項の方が大きいので， $L_i, D_1$  の関数としての両式の性質は同じである．つまり，本章で提案したローディング効果モデルは，モデル式 (2.26) を包括する．アルミに対するモデルでは考慮できなかった点も，提案モデルでは考慮することが可能である．

### 2.2.6 まとめ

本節では，トランジスタ特性に統計的な変動を与える局所ばらつきと大域ばらつき，レイアウト形状自体に影響を与えるローディング効果のモデル化を行った．局所ばらつき，大域ばらつきモデルにおいては，従来モデルと比較して，トランジスタ間の配置を考慮できる事と3つ以上のトランジスタを考慮できる事が特徴である．ローディング効果モデルについては，従来はゲートポリシリコンに対するモデルはなかったので，新たに考案した．

## 2.3 モデルパラメータの抽出

前節では，ばらつきモデルについて提案した．本節では，ローディング効果モデルのモデルパラメータを抽出するための TEG について説明する．局所ばらつきと大域ばらつきを測定するための TEG については，付録 A に示す．また，局所ばらつきと大域ばらつきのモデルとその抽出方法については，第3章と第4章においても説明する．

### 2.3.1 ローディング効果測定用 TEG

本 TEG では，レイアウトの変化によるポリシリコンの線幅の変動を電氣的に計測する．測定結果より，モデルパラメータを抽出する．回路原理，仕様決定法，測定法およびパラメータ抽出の方法を説明する．

#### 回路原理

ローディング効果を測定するための TEG が提案されている [25–27, 34, 37]．この TEG をゲートポリシリコンのローディング効果を測定するために用いる．ローディング効果測定用 TEG の概略を図 2.9 に示す．注目するラインの仕上がり線幅を電氣的に測定するものである．ポリシリコンのラインの近傍にダミーのポリシリコンを配置し，またはポリシリコンのライン自体の幅を変えて，ローディング効果による線幅の変動を調べる．TEG 以外のポリシリコンからローディング効果の影響を受けないように，他のポリシリコンからは十分離して配置する．線幅の測定のために，4 端子法を用いる．回路図を図 2.10 に示す．電圧印加端子と電圧測定端子を別々に設ける．TEG の両端 (VDD, GND) から電流を流し，測定したい区間の電圧を測る．求めた抵抗値をシート抵抗で割ると線幅が得られる．測定区間に加える電流を，TEG 両端 (VDD-GND 間) からの電流値に比べて十分に小さくすると，端子部分の抵抗  $r_1, r_2$  は無視できる．測定区間までの寄生抵抗に関係なく，高い精度で抵抗値を求めることが可能である．

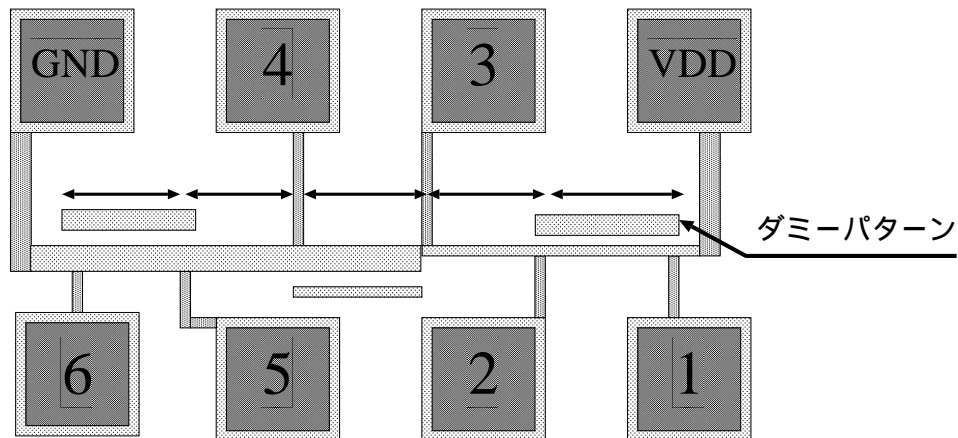


図 2.9: ローディング効果測定用 TEG の概略図

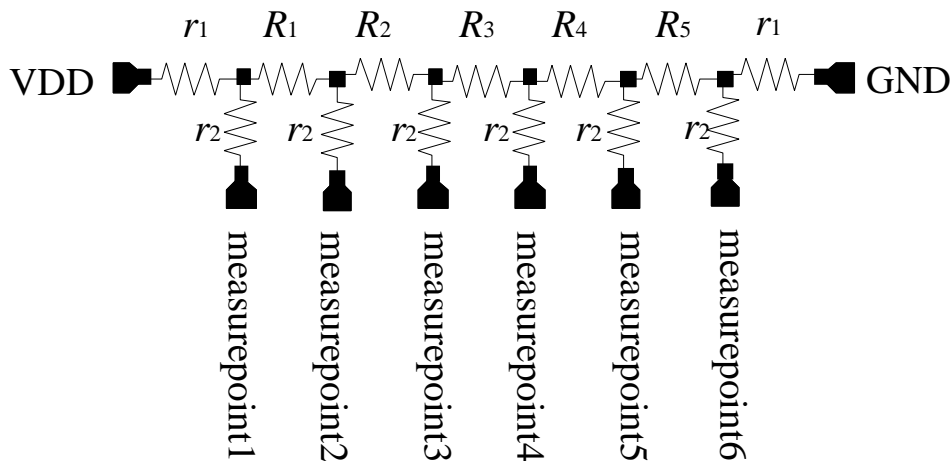


図 2.10: ローディング効果測定用 TEG(回路図)

### 回路仕様の決定および予想特性

CMOS 1.2 $\mu$ m プロセスを例にとり，測定点間の抵抗値の決定方法および予想特性について説明する．抵抗値は，測定装置の入力抵抗，コンタクトおよびポリシリコンの許容電流値，回路面積により決定する．測定誤差軽減のためや，回路面積の削減のためには，抵抗値は小さくする必要がある．しかし，抵抗値を小さくすると回路の両端に流れる電流が大きくなると，断線や温度変化による抵抗値の変化が起る．そのため，測定点間の抵抗値は，回路面積の許す限り大きくする必要がある．

測定器の入力抵抗は 1G $\Omega$  である．コンタクト 1 つ当たりの許容電流は 0.06mA である．VDD, GND にはそれぞれ 9 個のコンタクトが打ってあるので，許容電流は 0.54mA となる．この TEG にかかる電圧を 5.0V とすると，TEG の端から端までの抵抗は 9.26K $\Omega$  以上



必要となる．シート抵抗を  $30\Omega/\square$  とすると，TEG の全長は  $1234.7\mu\text{m}$  以上となる．チップの端から端まで使うとすると，全抵抗は約  $30000\Omega$  となる．この際の電流は  $0.167\text{mA}$  となる．以上の条件から，図 2.10 の回路中の抵抗値を定める．

$$R_k = 2250 \sim 3750\Omega \quad (2.29)$$

$$r_1 = \text{約 } 100\Omega \quad (2.30)$$

$$r_2 = \text{約 } 130\Omega \quad (2.31)$$

$$V = (10 \cdot R_k + 2 \cdot r_1) \cdot I \quad (2.32)$$

抵抗値  $r_1, r_2$  は，ポリシリコンの引出し線とコンタクト抵抗から計算した．実際には，パッドの接触抵抗，測定機器までの配線抵抗も考慮する必要がある．文献 [27, 37] を参考に，今回の TEG での線幅の変化量をおおまかに見積る．一番細くなるのは，線幅が  $1.48\mu\text{m}$  で，ダミーとの距離が  $1.48\mu\text{m}$  の時である．この時，仕上がり線幅は  $1.52\mu\text{m}$  ぐらいになると予想される．変化の割合が一番大きいのは設計線幅が  $1.48\mu\text{m}$  で，ダミーが無い時である．この時，線幅は  $1.66\mu\text{m}$  ぐらいであると予想される．つまり，測定結果において，最大で  $0.14\mu\text{m}(= 9.46\%)$  の差が予想される．

電源電圧を  $5\text{V}$  とすると，TEG に流れる電流は  $0.135\text{mA} \sim 0.222\text{mA}$  であり，TEG に流れる電流を  $0.20\text{mA}$  とすると，各測定点間の電位差は約  $0.60\text{V}$  となる．電圧計に流れる電流は， $0.60\text{nA}$  となるので，測定値は以下の式で表される．

$$v = R_k I + (R_k + 2 \cdot r_2) \cdot i \quad (2.33)$$

$$= 0.60\text{V} \quad (2.34)$$

### ローディング効果測定用 TEG の測定およびパラメータ抽出

ここでは，ローディング効果モデルのパラメータ抽出法について述べる．測定系の構成を図 2.11 に示す．測定には，図の Power に  $5\text{V}$  の電圧を印加し，スイッチングマトリクスで隣り合う測定点を順次選択して，パラメータアナライザの電圧測定モードで電圧を測定を行う．電気的方法で測定を行う理由は，光学的な測定では TEG の線幅を高精度解析に必要なパラメータを得るだけの精度で測定できないからである．測定点間の抵抗値  $R_i$  を計算し，式 (2.35) により仕上がり線幅を求める．

$$\tilde{L}_i(\mu\text{m}) = \frac{W_i}{R_i} \times R_{\text{sheet}} \quad (2.35)$$

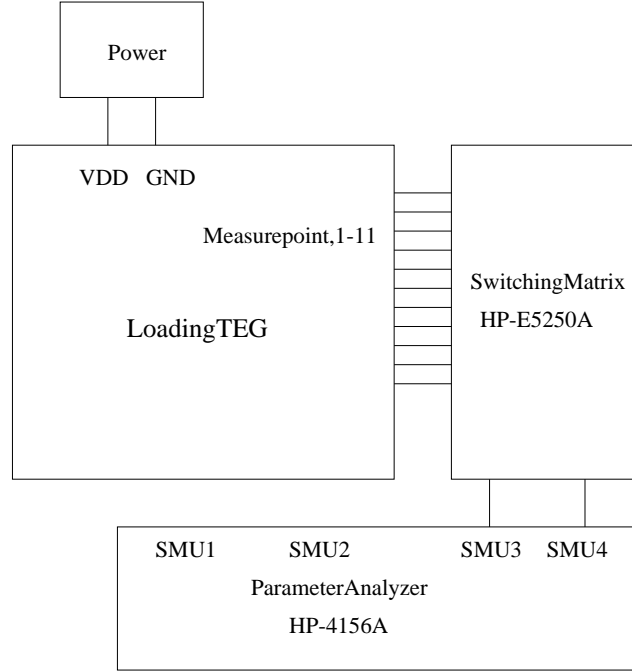


図 2.11: 測定系の構成 (ローディング効果測定用 TEG)

しかし，測定の結果から，シート抵抗  $R_{\text{sheet}}$  は仕上がりの線幅によって変動していることがわかった．TEG から測定された抵抗値  $R_i$  と実際の仕上がり線幅を関連づけるために，シート抵抗のモデル化を行った (付録 B 参照)．以下にその式を示す．

$$R_{\text{sheet}} = R_{\text{base}} + \frac{K_R}{\tilde{L}_i} \quad (2.36)$$

このモデル式 (2.36) は，実際の仕上がり寸法を必要とするが，本手法による電氣的な測定では絶対的な仕上がり寸法を知り得ない．そこで，FIB での測定より実際の仕上がり寸法を得た．まず，ベアチップを電氣的に測定し，測定点間の抵抗値  $R_i$  を求める．FIB より測定した仕上がり寸法  $\tilde{L}$  から，式 (2.35) を用いて仕上がり寸法の関数となるシート抵抗  $R_{\text{sheet}}$  を求める．このシート抵抗  $R_{\text{sheet}}$  と仕上がり寸法  $\tilde{L}$  の関係を式 (2.36) を用いてモデル化する．その結果を図 2.12 に示す． $R_{\text{base}}$ ,  $K_R$  はそれぞれ  $24.5\Omega$ ,  $7.71 \times 10^{-6}$  となった．製造元からのデータでは，シート抵抗は  $30\Omega \sim 50\Omega$  となっており，測定値は若干小さいものとなった．

以下では式 (2.35), (2.36) により，シート抵抗  $R_{\text{sheet}}$  を求め，モデル式 (2.27) によりパラメータの抽出を行う．実際には測定値はプロセスのゆらぎによりばらつくので，ある程度の数の TEG を測定し，その平均値よりパラメータ抽出を行う必要がある．本稿では 20 の TEG について測定を行い，平均値を用いた．

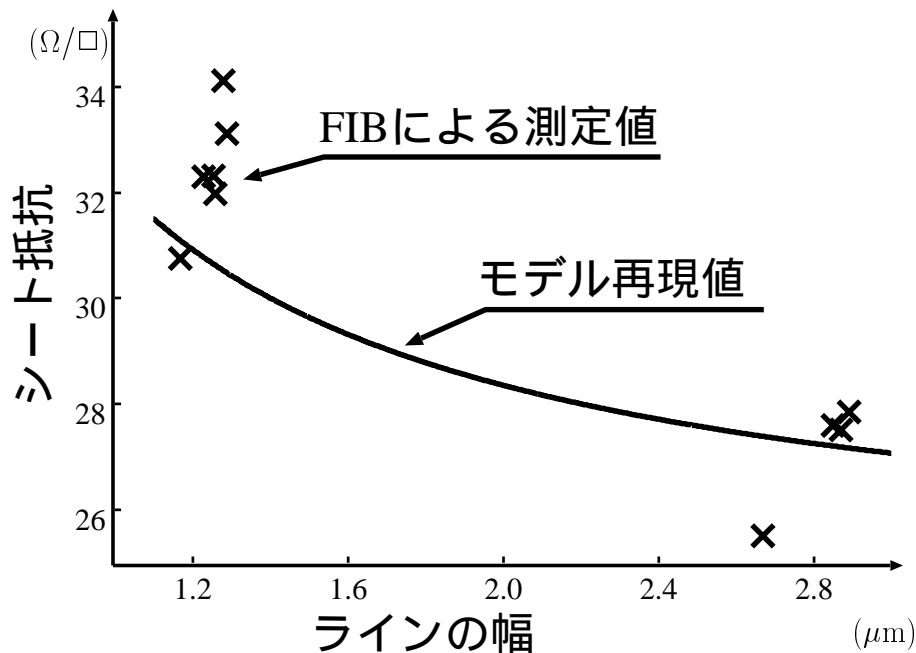


図 2.12: シート抵抗のモデル化

パラメータの抽出を行った結果を示す．まず，近接効果に注目し，設計値  $1.2\mu\text{m}$  のラインに平行してダミーのパターンを配置し，その間隔を変えたものについてパラメータの抽出を行った．図 2.13 にその測定値 (平均および最大最小) とモデルから再現した値を示す．このプロセスでは，設計値が同じ  $1.2\mu\text{m}$  であっても，実際の仕上がり幅は近接したパターンにより最大で 4% 程度変動することがわかる．次に，サイズ効果に注目し，近接パターンは配置せず，幾つかの設計値のラインに対してパラメータの抽出を行った．図 2.14 にその測定値とモデルから再現した値を示す．試作を行ったプロセスでは，サイズ効果の影響は小さい．ただし，今回の測定では，パターンの設計値は 2 種類しかなく，それらよりモデルパラメータ  $K_L$  を求めている．比精度解析のために十分な精度を持ったパラメータを抽出するためには，サンプル数を増す必要がある．

## 2.4 レイアウトを考慮した比精度解析手法

正確な比精度解析を行うためには，ネットリストの他にトランジスタの配置情報，つまり，レイアウトが必要である．回路設計の初期段階においては，回路のネットリストについてのみ回路シミュレーションが行われる．回路仕様が決定した後に，レイアウトが作成される．作成されたレイアウトが意図どおりの性能を持つか調べるために，寄生素子を含めたネットリストの抽出を行い，回路シミュレーションによる検証を行う．し

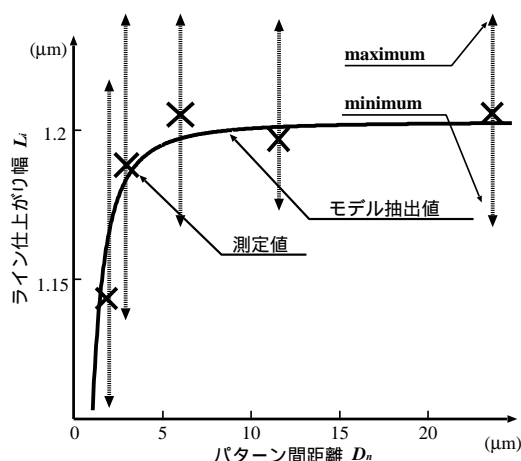


図 2.13: 近接効果

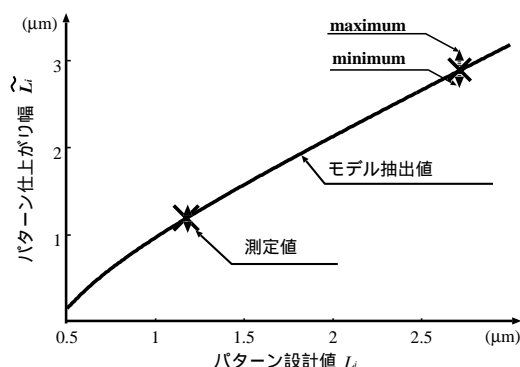


図 2.14: サイズ効果

かし、配置やローディング効果まで考慮した解析は行われない。

回路の比精度は、レイアウトに強く依存する。レイアウトが完成した段階で、配置やローディング効果を考慮して比精度解析を行う事は可能である。しかし、レイアウトの作成には非常に手間がかかるため、レイアウトの完成後に比精度が悪い事が判明しても、回路方式やレイアウトを修正する事は困難である。

この問題を解決するために、回路の設計段階に応じた2つの比精度解析の手法を提案する。レイアウトの設計が終った段階において厳密な比精度解析を行う方法と、レイアウトが決定する前に比精度の概略値を与える方法である。本節では、比精度解析においてローディング効果を考慮する方法について述べ、前述のレイアウトを考慮した比精度解析手法について説明する。また、それらの解析方法を用いた実験結果について示す。

### 2.4.1 ローディング効果によるゲート寸法の見積り

ローディング効果によるゲート寸法の変動を見積る方法について説明する。ローディング効果によって、トランジスタのゲート寸法は、素子自体の幅や近接した素子への距離に依存して、設計値からのずれを生じる。このずれは、統計的なものではなく、レイアウト形状に対して、一意に決定する。そのため、レイアウト設計が終った段階であれば、ローディング効果モデルにより、仕上がり寸法を一意に見積ることが可能である。モデル式 (2.27) より隣接のゲートポリシリコンからの影響を求める。この処理をすべてのトランジスタに対して行い、実際のゲートの仕上がり寸法を見積る。

### 2.4.2 全回路解析法

全回路解析法は、レイアウトの設計が終った段階において、厳密な比精度解析を行う方法を提供する。レイアウトをシミュレーションの対象としているため、トランジスタの配置情報を用いることができる。そのため、大域ばらつきおよびローディング効果を考慮して比精度解析を行うことができる。全回路解析法では、回路シミュレータを用いたモンテカルロ解析を行う。SPICE による回路シミュレーションには、MOSFET モデルが用いられるが、そのモデルパラメータを比精度ばらつきモデルに従ってばらつかせることにより、ばらつきを考慮した回路シミュレーション、つまりは、比精度解析を行うことができる。

具体的なシミュレーションの手順を示す。レイアウトからネットリストおよび素子の配置情報を抽出する。ローディング効果によるゲート寸法の設計値からのずれを見積る。ローディング効果はレイアウトに依存するばらつきなので、ローディング効果によるゲート寸法のずれは統計的には変動しない。トランジスタの配置情報より大域ばらつきのモデル式 (2.8) を用いて、個々のトランジスタ特性の平均値 ( $\overline{V_{TH}}, \overline{\beta}$ ) を求める。局所ばらつきをモデル式 (2.7) に従って、個々のトランジスタ特性の変動幅を決定する。正規分布にしたがって毎回異った変動幅を割り振る。式 (2.9) を用いてトランジスタの特性を決定する。以上の手順に従い、個々のトランジスタについて統計的に特性を生成し、回路シミュレーションを行う。パラメータの生成と回路シミュレーションを多数回繰り返して、回路特性の統計分布を求める。

### 2.4.3 部分回路モデル化法

部分回路モデル化法は、設計の初期段階でレイアウトが決定する前に、モデル式から比精度解析を行う方法である。比精度が要求されるのは、カレントミラーやオペアンプの差動段などであるが、いずれもトランジスタ対の比精度を要求するものである。トランジスタ対のレイアウトだけに注目すると、そのレイアウトの方法は数種類に限定される [21, 22, 70]。その数種類のレイアウトに対して、あらかじめモデル化を行う事で、比精度の概略値を高速に与える。

まず、トランジスタ対のレイアウトについて述べる。カレントミラーの出力電流誤差を例にとり、比精度の定式化を行う。部分回路モデルを導出し、モデルパラメータの算出方法について説明する。

#### トランジスタ対のレイアウト

カレントミラーのレイアウトとして種々のものが提案されている [22, 70]。代表的なレイアウトの模式図を図 2.15, 図 2.16 に示す。図 2.15 は並列して配置しただけのもので

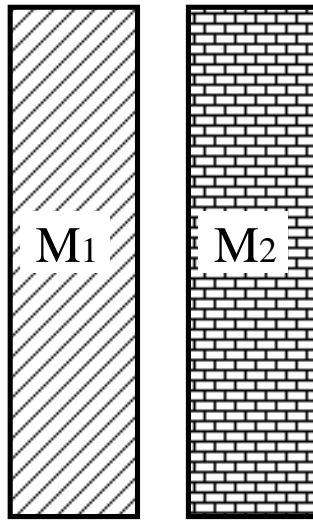


図 2.15: 並列配置

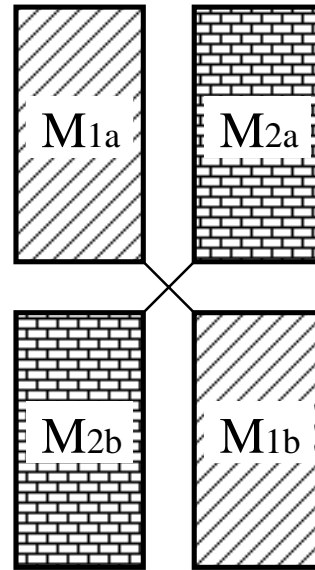


図 2.16: コンモンセントロイド型配置

あり，特に比精度を気にしない場合などでよく利用される．図 2.16 は，対となるトランジスタを 2 分割し，対角に配置したものである．図 2.16 で示されるレイアウトの型は，コモンセントロイド (common-centroid) と呼ばれる．大別すると，トランジスタを平行に配置したものやトランジスタを折り返して平行に配置した線対称型レイアウト，コモンセントロイド型レイアウトをはじめとする点対称型レイアウトに分けることができる．網目状にトランジスタを配置した waffle 型レイアウト [70] も点対称型レイアウトに分類できる．

一般に，点対称型トランジスタ対は大域ばらつきの影響を受けないと考えられている [22, 70]．大域ばらつきを一次の傾き成分と考えると，コモンセントロイド型レイアウトのカレントミラーでは，対角に配置されたトランジスタ間で大域ばらつき成分の影響が平均化される．

### カレントミラーの比精度

部分回路のモデル化にあたり，まず，カレントミラーの出力電流誤差について検討し，比精度一般について，トランジスタ対の寸法と距離でモデル化できる事を示す．

飽和領域のトランジスタ特性を以下の式で表す． $I_{DS}$  はドレインソース電流， $V_{GS}$  はゲートソース電圧である．

$$I_{DS} = \frac{\beta}{2}(V_{GS} - V_{TH})^2 \quad (2.37)$$

カレントミラーの出力電流誤差は,  $V_{TH}, \beta$  のばらつきについて, 以下に導出される.  $(rand_{V_{TH}}), (rand_{\beta}), (rand)$  はそれぞれ独立な標準正規分布とする.

$$\frac{\Delta I}{I_{IN}} = \frac{I_{OUT} - I_{IN}}{I_{IN}} \quad (2.38)$$

$$\cong -\frac{2\Delta V_{TH}}{V_{GS} - V_{TH}} + \frac{\Delta\beta}{\beta} \quad (2.39)$$

$$\cong -\frac{2}{V_{GS} - V_{TH}} \left\{ \sigma(\Delta V_{TH}) \cdot (rand_{V_{TH}}) + \frac{\partial V_{TH}}{\partial x} \Delta x \right\} \quad (2.40)$$

$$+ \frac{1}{\beta} \left\{ \sigma(\Delta\beta) \cdot (rand_{\beta}) + \frac{\partial\beta}{\partial x} \Delta x \right\} \quad (2.41)$$

$$\cong -\frac{2}{V_{GS} - V_{TH}} \left\{ \frac{A_{V_{TH}}}{\sqrt{WL}} \cdot (rand_{V_{TH}}) + \frac{\partial V_{TH}}{\partial x} \Delta x \right\} \quad (2.42)$$

$$+ \frac{1}{\beta} \left\{ \frac{A_{\beta}}{\sqrt{WL}} \cdot (rand_{\beta}) + \frac{\partial\beta}{\partial x} \Delta x \right\} \quad (2.43)$$

$$\cong \sqrt{\left\{ \frac{2A_{V_{TH}}}{V_{GS} - V_{TH}} \right\}^2 + \left( \frac{A_{\beta}}{\beta} \right)^2} \cdot \frac{1}{\sqrt{WL}} \cdot (rand) \quad (2.44)$$

$$+ \left( -\frac{2}{V_{GS} - V_{TH}} \frac{\partial V_{TH}}{\partial x} + \frac{1}{\beta} \frac{\partial\beta}{\partial x} \right) \cdot \Delta x \quad (2.45)$$

$$\cong \frac{A_{\Delta I}}{\sqrt{WL}} \cdot (rand) + \frac{\partial I}{\partial x} \cdot \Delta x \quad (2.46)$$

カレントミラーの出力電流誤差は, トランジスタ対の寸法  $WL$  とトランジスタ間距離  $\Delta x$  により表される. 一般に, 回路特性  $q$  を, MOSFET モデルパラメータ  $P_1, P_2, \dots, P_k, \dots, P_n$  を用いて, 表す.

$$q = f(P_1, P_2, \dots, P_k, \dots, P_n) \quad (2.47)$$

テイラー展開により, 回路特性  $q$  を MOSFET モデルパラメータによる一次の近似式で表す.

$$q \cong f(\overline{P_1}, \overline{P_2}, \dots, \overline{P_k}, \dots, \overline{P_n}) + \sum_k^n \frac{\partial f}{\partial P_k} dP_k \quad (2.48)$$

以上より, 比精度  $\Delta q$  を導出する.

$$\Delta q = \sum_k^n \frac{\partial f}{\partial P_k} \Delta P_k \quad (2.49)$$

$$\Delta P_k = \frac{A_{\Delta P_k}}{\sqrt{WL}} \cdot (rand_k) + \frac{\partial P_k}{\partial x} \cdot \Delta x \quad (2.50)$$

$$\Delta q = \sum_k^n \frac{\partial f}{\partial P_k} \left\{ \frac{A_{\Delta P_k}}{\sqrt{WL}} \cdot (rand_k) + \frac{\partial P_k}{\partial x} \cdot \Delta x \right\} \quad (2.51)$$

$$= \left\{ \sum_k^n \frac{\partial f}{\partial P_k} A_{\Delta P_k} (rand_k) \right\} \frac{1}{\sqrt{WL}} + \left\{ \sum_k^n \frac{\partial f}{\partial P_k} \frac{\partial P_k}{\partial x} \right\} \cdot \Delta x \quad (2.52)$$

$$= \sqrt{\sum_k^n \left\{ \frac{\partial f}{\partial P_k} A_{\Delta P_k} \right\}^2} \frac{1}{\sqrt{WL}} \cdot (rand) + \left\{ \sum_k^n \frac{\partial f}{\partial P_k} \frac{\partial P_k}{\partial x} \right\} \cdot \Delta x \quad (2.53)$$

$$= \frac{A_{\Delta q}}{\sqrt{WL}} \cdot (rand) + \frac{\partial q}{\partial x} \cdot \Delta x \quad (2.54)$$

比精度  $\Delta q$  についてでも，カレントミラーの出力電流誤差と同様に，トランジスタ対の寸法  $WL$  とトランジスタ間距離  $\Delta x$  により表すことができる．

#### 部分回路のモデル化

比精度の最悪値をモデル化する．標準偏差の3倍を最悪値とする．前節からの考察を踏まえ，比精度の最悪値  $\Delta q_{\text{worst}}$  を以下の式 (2.55)(2.56) によりモデル化する．

$$\Delta q_{\text{worst}} = \pm \frac{3A_{\Delta q}}{\sqrt{WL}} \pm S_{\Delta q} D \quad (2.55)$$

$$\Delta q_{\text{worst}} = \pm \frac{3A_{\Delta q}}{\sqrt{WL}} \quad (2.56)$$

$WL$  はトランジスタの面積， $D$  はトランジスタ間の距離である．線対称型レイアウトの場合は式 (2.55)，点对称型レイアウトの場合は式 (2.56) によりモデル化する．モデルパラメータ  $A_{\Delta q}$ ,  $S_{\Delta q}$  は，プロセス，レイアウト，回路方式，バイアス条件ごとに異なる定数である．

設計を行うプロセスが決定すれば，あらかじめ，よく使う回路方式について，いくつかのレイアウトパターンに対するモデルパラメータ  $A_{\Delta q}$ ,  $S_{\Delta q}$  を求める．幾つかの  $WL$ ,  $D$  について，全回路解析法より比精度を求め，モデルパラメータ  $A_{\Delta q}$ ,  $S_{\Delta q}$  を算出する．設計時には，回路方式，レイアウトパターンを選択することで，モデル式から高速に比精度を知る事ができる．

#### 2.4.4 両手法の比較

ここでは両手法の比較を行う．部分回路モデル化法では，比精度の要求される部分的な回路要素に注目し，そのレイアウト例を用いることにより，レイアウトも考慮した比精度解析を行う．設計を行うプロセスのモデルパラメータが得られれば，あらかじめ用



意したレイアウト例に対して比精度解析を行い、各回路に対して比精度モデルを作成することができる。設計者は、部分的な回路要素に対して目標の比精度が決定した際に、必要な最低限の設計値をモデル式から求めることができる。しかし、部分的な回路要素がどのような仕様を満たす必要があるのかを設計者が決めなくてはならない。

全回路解析法では、設計者が作成したあらゆるレイアウトに対して、比精度解析を行うことができる。部分回路モデル化法では、あらかじめ用意したレイアウト例に含まれる回路に対してのみ解析が可能であったが、この手法では、比精度の要求される部分だけでなく、その周囲の回路も含めた全体的な回路特性を知ることができる。つまり、回路ブロック毎で、仕様を満たしているかをシミュレーションすることが可能である。しかし、SPICEなどの回路シミュレーションを多数繰り返すため、解析には時間を要する。

### 2.4.5 カレントミラーの比精度解析実験

カレントミラーの比精度解析を行った結果について説明する。カレントミラーの比精度は、局所ばらつきと大域ばらつきに起因する。局所ばらつきのモデル式(2.7)より、トランジスタ寸法が大きくなるほど、局所ばらつき成分は小さくなる。ウエハの大きさに対して十分小さいカレントミラーを考える場合では、大域ばらつき成分は1次元の傾きとして近似することができる。つまり、大域ばらつき成分の影響は、トランジスタの中心間距離に比例する。

通常のレイアウトのカレントミラーとコモンセントロイド型(QUAD)のレイアウトにしたカレントミラーについて、全体回路解析法および部分回路モデル化法で比精度解析を行った。トランジスタの寸法は、 $W/L = 5$  として、 $(L, W) = (1.2, 4.8), (2, 8), (3, 12), (5, 20), (10, 40)$  の組み合わせのものをを用いた。各トランジスタを  $5\mu\text{m}$  ずつ離して配置した。局所ばらつきモデルのパラメータは、文献[22]の測定結果より生成した。閾値電圧  $V_{TH}$  とゲイン  $\beta$  の大域ばらつき成分は、横方向に  $0.1\%/\mu\text{m}$  の変動を仮定した。まず、全回路解析法により5つの寸法のトランジスタについてモンテカルロシミュレーションを行った。この比精度解析結果から部分回路モデル化法によりカレントミラーの出力電流誤差についてモデル化を行った。比精度解析の結果を図2.17に示す。入力側トランジスタに  $I_{IN} = 20\mu\text{A}$  の電流を流した時の出力電流誤差の最悪値を縦軸にとり、横軸にゲート面積の平方根の逆数をとった。図における QUAD および normal はそれぞれコモンセントロイド型のレイアウトおよび通常のレイアウトでの比精度を示す。

どちらのレイアウトでもゲート面積を大きくすると、局所ばらつきの影響は小さくなり、比精度が改善する。ただし、ゲート面積が増大するとトランジスタの中心間の距離が離れることになり、大域ばらつきの影響が増す。そのため、通常のレイアウトのものでは、図2.17の横軸における0.1以下では、大域ばらつきの影響で逆に比精度が悪化する事がわかった。レイアウトをコモンセントロイドにしたものでは、ゲート面積を大き

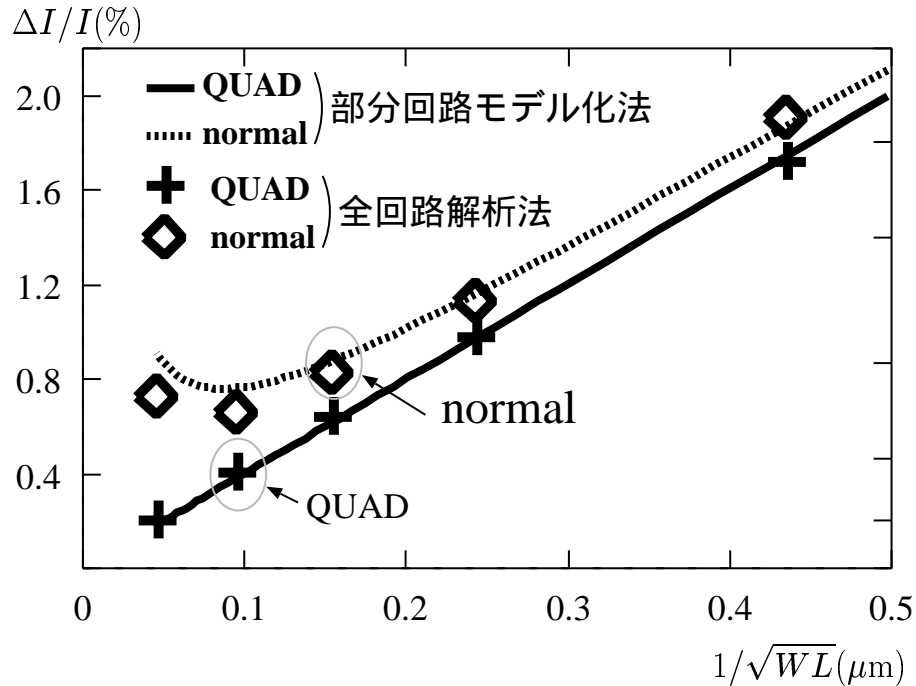


図 2.17: カレントミラーの比精度

くしても，大域ばらつきの影響は見られない．このため，ゲート面積が最大 ( $400 \mu\text{m}^2$ ) のものでは，レイアウトをコモンセントロイドにすることで， $0.35\%$  ( $= 0.61\% - 0.26\%$ ) の電流誤差の改善が可能であることがシミュレーションにより確認できた．

## 2.5 むすび

現在，集積回路の微細プロセス技術の進歩により，MOSFET 最小寸法の縮小が著しい．しかし，一方ではプロセス変動による素子特性のばらつきが問題となっている．本章では，プロセス変動が回路特性に与える影響，特に比精度解析の方法について述べた．比精度解析のためには，トランジスタ特性のばらつきをモデル化する必要がある．回路の比精度は，レイアウト方法に強く依存する．従来の比精度ばらつきモデルでは，レイアウト依存性を十分に表現できておらず，比精度解析に必要なばらつき情報を提供することができなかった．そこで，本章では，レイアウト依存を考慮するため，トランジスタ特性ばらつきのモデル化を行い，それらモデルのパラメータを抽出する方法，設計段階に応じた比精度解析の手法の提案を行った．

トランジスタ特性のばらつきには，製造プロセスの変動要因から，局所ばらつきと大域ばらつきの二種類のばらつき成分に分類できる．従来のモデルでは，これらのばらつ

き成分を単一のモデル式で扱っていたため、三個以上のトランジスタの比精度を正しく表現する事ができなかった。提案モデルでは、局所ばらつきと大域ばらつきを別々のモデル式で表現し、トランジスタ間の距離ではなく、配置位置によってモデル化を行った。

局所ばらつき、大域ばらつき以外に、トランジスタ特性に大きな影響を与えるものとして、ローディング効果がある。従来の比精度解析において、ローディング効果は考慮されていなかった。ローディング効果とは、パターンの仕上り幅が、パターンの疎密度によって変動する現象のことである。ゲートポリシリコンに対するローディング効果により、トランジスタのゲート寸法は、大きく変動し、結果としてトランジスタの特性を変化させる。比精度解析を行うためには、ローディング効果を考慮しなければならないが、ゲートポリシリコンに関するローディング効果のモデルは従来には存在しなかった。本章では、ゲートポリシリコンに関するローディング効果のモデルを提案した。モデルパラメータを実測値から抽出する方法を説明し、比精度解析において、ローディング効果を考慮する方法を提案した。

比精度の解析手法として、全回路解析法と部分回路モデル化法の二つの解析手法を提案した。厳密な比精度解析のためには、レイアウトが必要である。全回路解析法は、レイアウト情報を考慮することで、正確な回路の比精度を与えることを可能とした。モンテカルロシミュレーションを行うため、解析に時間がかかることと、解析のためにはレイアウトが必要であることが問題であった。部分回路モデル化法では、いくつかのレイアウト例について、あらかじめ部分回路のモデル化を行っておくことで、レイアウトの確定していない設計の初期段階においても、モデル式により比精度の概略値を知る事ができる。解析手法を使い分けることで、設計段階に応じた比精度解析の方法を提供する事を可能とした。

カレントミラーの出力電流誤差について比精度解析を行った結果について示した。大域ばらつきを位置に依存した成分としてモデル化する事で、コモンセントロイド型レイアウトの有効性を定量的に確認できた。従来は、トランジスタ寸法を大きくすると、比精度が改善されると考えられていたが、単に並列に配置しただけのレイアウトでは、逆に比精度が悪化するという興味深い結果が得られた。

本章で提案した手法の課題を述べる。局所ばらつきと大域ばらつきのモデル化に対する課題とローディング効果のモデル化に対する課題がある。トランジスタ特性について、局所ばらつきと大域ばらつきを表現するために、MOSFETモデルパラメータ  $V_{TH}$  と  $\beta$  をばらつかせた。しかし、これらのパラメータは、基板効果 (Body Effect) や短チャネル効果のため、バイアス条件やトランジスタ寸法により典型値が変動する。正確なモデル化のためには、バイアス条件やトランジスタ寸法を考慮する必要がある。大域ばらつきの統計的な振舞いについても十分にモデル化できていない。これらの課題については、3章において詳しく議論する。本章では、ゲートポリシリコンに対するローディング効果のモデル化を行った。ローディング効果の影響は、レイアウトごとに一意であるため、製造前にあらかじめ補正する事ができる。レイアウトの補正は計算コストが非常に高い

が、微細プロセスでは補正をしなければ極端に歩留りが低下してしまう。近年の製造プロセスでは、あらかじめローディング効果、特にホトリソグラフィ工程における光近接効果を考慮してレイアウトの補正が行われる [38, 39]<sup>2</sup>。そのため、本章で提案したモデルをそのまま用いる事はできない。しかし、レイアウトに依存したばらつきを完全に補正する事は難しく、本章で提案したレイアウトに依存した変動成分を考慮するという解析手法は、今後、益々重要になると考える。

---

<sup>2</sup>Optical Proximity Correction (OPC) と呼ばれる。OPC には、モデルベースの OPC とルールベースの OPC がある。モデルベース OPC では、モデルに基づき詳細な補正が行われる。ルールベースの OPC は、レイアウトを単純なルールにあてはめ、あらかじめ用意した補正済みレイアウトに置き替えを行う。モデルベース OPC は計算コストが高いため、ルールベースでの補正が行われる事が多い。しかし、ルールベースの OPC では完全にレイアウトを補正できないため、依然として、レイアウトに依存したばらつきは存在する。



## 第3章

---

# 局所的ばらつきと大域的ばらつきを考慮したトランジスタ特性のモデル化手法

---

### 3.1 まえがき

製造プロセスの微細化や低電源電圧化により，回路性能のばらつきが問題となっている．製造条件の変動による素子特性のばらつきが原因である．素子特性のばらつきをモデル化する手法が必要となっている．本章では，微細プロセスに対応した局所ばらつきと大域ばらつきのモデルを提案する．

製造ばらつきには，統計的なばらつきを示す局所ばらつきと大域ばらつきと，レイアウトに依存したばらつきがある．第2章では，レイアウト依存や配置関係を考慮したモデル化と解析手法の提案を行った．特に，ローディング効果を代表とするレイアウト依存ばらつきをモデル化し解析するための手法について説明した．局所ばらつきと大域ばらつきは，統計的性質の違いから，別々の式によりモデル化を行った．大域ばらつきはチップ内での配置を考慮したモデル化を行った．配置を考慮するモデル化手法は，比精度を要求するアナログ回路のみならず，デジタル回路のクロックスキュー解析などにおいても重要である．

素子ばらつきのモデル化において，微細化プロセスに対応するためには，3つの課題がある．1つ目はレイアウト依存や配置を考慮することである．これは，第2章において解決のための手法を示した．2つ目は，ばらつきの寸法依存やバイアス依存を考慮することである．第2章では局所ばらつきの大きさがゲート面積に反比例するとしてモデル化したが，微細プロセスではより複雑な寸法依存性やバイアス依存性を持つ．3つ目は，大域ばらつきの分布形状の考慮である．大域ばらつきは製造時のウエハの温度勾配などに起因する．ウエハ全体においてなだらかに変動する成分であるため，本質的に正規分布とはならない．幅広い解析手法に対応するためには，これらの問題点を解決するモデルの開発が必須である．

ばらつきの寸法依存やバイアス依存は，トランジスタのショートチャネル効果や基板

バイアス効果，チャネル長変調効果などが原因である．これらをばらつきモデルにおいて考慮することは困難である．微細プロセスに対応した MOSFET モデルでは，ショートチャネル効果をはじめとする微細トランジスタの寄生効果を考慮している．そこで，提案手法ではばらつきモデルでこれらの寄生効果を考慮するのではなく，MOSFET モデル側で寄生効果を考慮する．そのために，寸法や印加電圧に依存しない物理性の高いパラメータについてばらつきのモデル化を行う．本論文では，これらのパラメータを物理パラメータと呼ぶ．物理パラメータの計算には中間モデルによる方法を用いる [78–80]．中間モデルを用いることで，MOSFET モデルに依存しない系統的なモデル化が可能である．

大域ばらつきのモデル化においては，統計分布の考慮が課題である．大域ばらつきはウエハ全体に対して連続的に変化する成分であり，本質的に正規分布とはならない．大域ばらつきは配置位置に依存するため，従来はチップ内での平面や曲面としてモデル化された．この平面や曲面の傾きについても，統計的分布を考慮することが必要である．個々のチップについてこの傾きを求める方法では，測定コストが高く，チップ間やウエハ間での分布を求めるのも難しい．そこで，チップ内での大域ばらつきの変動だけではなく，ウエハ全体での大域ばらつきの変動に注目してモデル化を行う．ウエハ全体での大域ばらつきを低次の関数により近似し，チップ間における大域ばらつきの分布を求める．ウエハ間での統計分布はモデルパラメータの統計分布により表現する．

本章の構成は次のとおりである．3.2 節では局所ばらつきのモデル化，3.3 節では大域ばらつきのモデル化について説明する．3.4 節では，モデル化のまとめとして，局所ばらつきモデルと大域ばらつきモデルを用いて，MOSFET モデルパラメータを再現する方法について説明する．3.5 節では，大域ばらつきを正規分布で近似した場合の誤差の評価として，リングオシレータの発振周波数について行った実験結果を示す．3.6 節で結論を述べる．

## 3.2 局所ばらつきのモデル化

本節では，局所ばらつきのモデル化について説明する．

第2章では，特にレイアウト依存に注目して局所ばらつきと大域ばらつきのモデル化を行った．大域ばらつきの位置依存を表現するために，大域ばらつきは，局所ばらつきと分離して別の式によりモデル化を行った．本節で提案する局所ばらつきモデルにおいても，局所ばらつきは大域ばらつきと分離して別の式によりモデル化を行う．

第2章で用いた局所ばらつきモデルでは，閾値電圧  $V_{TH}$  とゲイン  $\beta$  のばらつきをモデル化した．これらのパラメータの典型値はトランジスタの寸法やバイアス電圧に依存する．そのため，閾値電圧  $V_{TH}$  やゲイン  $\beta$  のばらつきについてもサイズやバイアスに依存する [21, 66–68]．ばらつきのモデル化においても，これらのサイズ依存やバイアス依存

を考慮する必要がある．本章で提案する局所ばらつきモデルでは，MOSFET モデルと組合せて用いることによって，サイズ依存やバイアス依存を考慮する．提案の局所ばらつきモデルは，そもそもサイズ依存やバイアス依存しないパラメータについてモデル化を行い，MOSFET モデルパラメータに変換する．この際のパラメータ変換のためには，中間モデルによる手法を用いる [78–80]．中間モデルは，一種の MOSFET モデルで，物理パラメータと呼ぶ製造時の物理性を反映したパラメータによりばらつきを表す．中間モデルを用いることにより，MOSFET モデルやそれらのサイズ依存やバイアス依存によらず，ばらつきのモデル化が可能となる．

以下に，ばらつきのバイアス依存とサイズ依存，中間モデル，局所ばらつきモデルの順で説明する．

### 3.2.1 ばらつきのサイズ依存性およびバイアス依存性

第2章で用いた局所ばらつきを超微細プロセスで用いるためには，いくつかの課題がある．ここでは，その課題について説明する．

第2章で紹介した Pelgrom のモデル [16, 65] は，トランジスタ間の特性の差 ( $\Delta P$ ) に注目し，その特性差の標準偏差を素子寸法とトランジスタ間距離により特徴づけるモデルである．素子寸法の異なるトランジスタ間や，3 個以上のトランジスタを扱おうことができない．そのため，第2章では，局所ばらつきと大域ばらつきを分離し，局所ばらつきについて以下の式を用いてモデル化を行った．

$$\sigma^2(P) = \frac{A_P^2}{WL} \quad (3.1)$$

第2章で用いた局所ばらつきモデルでは，トランジスタの閾値電圧  $V_{TH}$  やゲイン  $\beta$  について，平均特性との差をモデル化した．その結果，素子寸法の異なる複数のトランジスタをモデルの対象にすることが可能となった．しかし，今後の微細プロセスにおいては，式 (3.1) のモデルでは十分なモデル化ができない．それは，モデル化の対象とするトランジスタの閾値電圧  $V_{TH}$  やゲイン  $\beta$  が寸法やバイアス電圧に依存しているからである．

微細プロセスでは，トランジスタの寸法や印加電圧によって，閾値電圧が大きく変動する．これは，ショートチャネル効果や狭チャネル効果，基板バイアス効果の影響である．ゲイン  $\beta$  については，そもそも定義上，以下の式に示すように実効チャネル長  $L_{eff}$  や実効チャネル幅  $W_{eff}$  の関数である．

$$\beta = K_P \frac{W_{eff}}{L_{eff}} \quad (3.2)$$

そのため，注目しているパラメータの典型値自体がゲート寸法や印加電圧によって変化し，ばらつく割合も相対的に変動する．また，ゲート寸法自体もばらついているが，そ



のばらつきも閾値電圧などのばらつきの原因となる．この現象は，分布形状に大きな影響を与える．

ゲート寸法のばらつきのために，閾値電圧の統計分布が正規分布とは異なったものとなることを説明する．ショートチャネル効果は閾値電圧に対して非線形に影響を与える．そのため，チャネル長のばらつきは閾値電圧に非線形なばらつきを与える．トランジスタのサイズ依存やバイアス依存について調べる．参考のために，BSIM3v3(Berkeley Short-Channel IGFET Model)<sup>1</sup>における閾値電圧  $V_{TH}$  のモデル式を示す．

$$\begin{aligned}
 V_{TH} = & V_{TH0} + K_1(\sqrt{\phi_S - V_{BS}} - \sqrt{\phi}) - K_2 \cdot V_{BS} \\
 & + K_1 \left( \sqrt{1 + \frac{N_{LK}}{L_{eff}}} - 1 \right) \sqrt{\phi_S} + (K_3 + K_{3B} V_{BS}) \frac{T_{OX}}{W_{eff} + W_0} \phi_S \\
 & - D_{VT0w} \left\{ \exp\left(-D_{VT1w} \frac{W_{eff} L_{eff}}{2l_{tw}}\right) + 2\exp\left(-D_{VT1w} \frac{W_{eff} L_{eff}}{l_{tw}}\right) \right\} (V_{bi} - \phi_S) \\
 & - D_{VT0} \left\{ \exp\left(-D_{VT1} \frac{L_{eff}}{2l_t}\right) + 2\exp\left(-D_{VT1} \frac{L_{eff}}{l_t}\right) \right\} (V_{bi} - \phi_S) \\
 & - \left\{ \exp\left(-D_{sub} \frac{L_{eff}}{2l_{t0}}\right) + 2\exp\left(-D_{sub} \frac{L_{eff}}{l_{t0}}\right) \right\} (E_{ta0} + E_{tab} V_{BS}) V_{DS} \quad (3.3)
 \end{aligned}$$

モデルパラメータについての詳しい説明は省略するが，閾値電圧  $V_{TH}$  は，実効チャネル長  $L_{eff}$  以外にも，実効チャネル幅  $W_{eff}$  や基板電圧  $V_{BS}$  やドレイン電圧  $V_{DS}$  にも依存する．ここで，図 3.1 に閾値電圧のショートチャネル効果を示す．モデルパラメータは  $0.6\mu\text{m}$  プロセスのものをを用い，式 (3.3) から閾値電圧を計算した．横軸がトランジスタのチャネル長で，縦軸が閾値電圧である．チャネル長  $2\mu\text{m}$  以下で閾値電圧が大きく低下する．この現象はロールオフ特性と呼ばれる．

閾値電圧のばらつきでは，不純物密度とチャネル長のばらつきが支配的である．チャネル長のばらつきによる閾値電圧のばらつきを考える．チャネル長のばらつきが正規分布で変動しても，ロールオフ特性による傾きは線形ではないため，閾値電圧の分布は正規分布からずれたものとなる． $V_{TH0}$ ,  $L_{eff}$ ,  $W_{eff}$  を正規分布で振った時の閾値電圧  $V_{TH}$  の分布を図 3.2 に示す． $V_{TH0}$ ,  $L_{eff}$ ,  $W_{eff}$  のばらつきの大きさは実測から求めた．ピーク点が閾値電圧の大きい側にずれることを確認した．ただし，ピーク点のずれ方はロールオフ特性に依存する．

ばらつきのモデル化においても，このようなサイズ依存の効果を考慮するモデルが提案されている [21, 66–68]．文献 [21, 67] で提案されているモデルを以下に示す．

$$\sigma^2(\Delta V_{TH}) = \frac{A_{1VT}^2}{WL} + \frac{A_{2VT}^2}{WL^2} + \frac{A_{3VT}^2}{W^2L} \quad (3.4)$$

<sup>1</sup>MOSFET モデルの一種 [84, 85]．

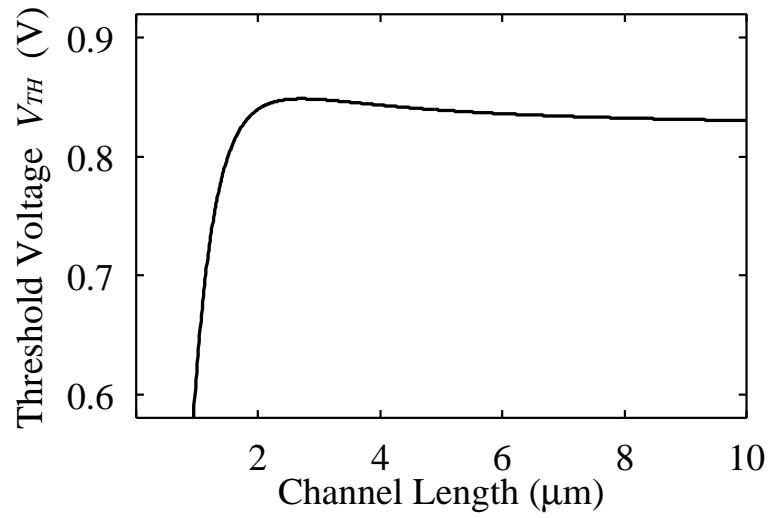
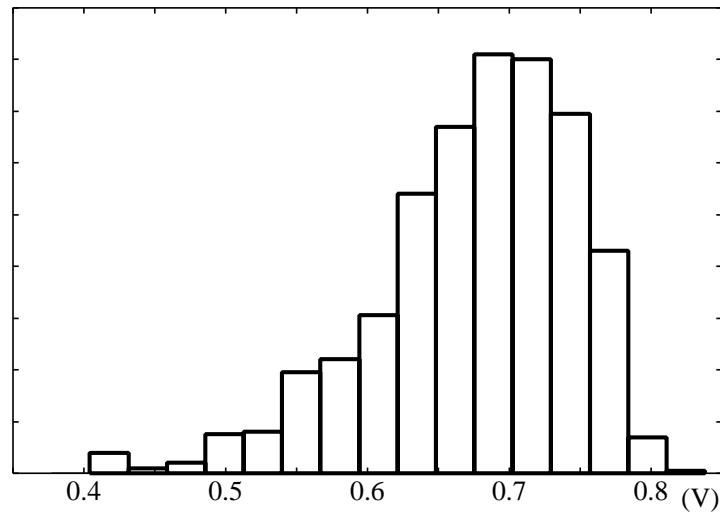


図 3.1: ショートチャネル効果

図 3.2: 度数分布 (nMOS,  $V_{TH}$ )

このモデルは、閾値電圧  $V_{TH}$  のばらつきについて、サイズ依存の効果を考慮したものである。しかし、近年の微細プロセスは、式 (3.3) で示されるように複雑な  $W, L$  依存性を持つため [84, 85]、モデル式 (3.4) でもサイズ依存性を表すのは困難であり、バイアス依存については考慮されていない。特に、ショートチャネル効果が顕著になると分布が正規分布からずれる。そのため、閾値電圧  $V_{TH}$  のようにサイズやバイアスに依存するパラメータをモデル化する限りは、正規分布では正確にモデル化することができない。局所ばらつきをモデル化する際に、本質的に正規分布にならないものや、サイズ依存性バイアス依存性を持つパラメータを対象とすることは、モデル化の誤差を大きくする原因と

なっている．提案モデルでは，サイズ依存性やバイアス依存性をもたない物理パラメータについてモデル化を行う．閾値電圧などの MOSFET モデルパラメータと物理パラメータとの関係は，次節で説明する中間モデルを用いて計算する．

### 3.2.2 中間モデルの概要

実測した電流特性から効率よく MOSFET モデルパラメータを抽出する手法として，中間モデルによる手法が提案されている [78–80]．ここでは，中間モデルの特徴とばらつきを表現するパラメータについて説明する．

トランジスタ特性のばらつきは，不純物密度，実効チャネル長，酸化膜厚などの物理特性のばらつきが諸元である．統計特性を調べるためには，非常に多数の実測特性が必要である．FIB による断面測定などは測定コストが高いため，電流電圧特性からの抽出が行われる．しかし，実測した電流特性から不純物密度などを直接求めるのは困難である．中間モデルにおいては，電流特性から求まるパラメータのうちで，できる限り物理性を反映したパラメータ群を用いてトランジスタ特性のばらつきを表す．本論文では，それらのパラメータを物理パラメータと呼ぶ．

実測特性から物理パラメータの統計的性質を抽出する必要がある．一つの方法として，実測した電流特性から MOSFET モデルパラメータを抽出し，MOSFET モデルパラメータから物理パラメータを計算する方法も考えられる．しかし，その計算方法が MOSFET モデルごとに異なることが問題である．そこで，MOSFET モデルに依存しない統計処理の方法として，中間モデルを用いる．電流特性と MOSFET モデルパラメータを橋渡しする中間的な情報保持のためのモデルである．中間モデルの概念を図 3.3 に示す．中間モデル自体は，一種の MOSFET モデルである．実測特性は一度中間モデルで表される．最終的な MOSFET モデルではなく，中間モデルにおいて統計処理を行うことで，MOSFET モデルに依存せず効率的な変換方法を提供する．

中間モデルは，中間パラメータにより特徴づけられる．MOSFET モデルパラメータは，物理的形状を表すパラメータや電気的特性を表すパラメータからなる．特に，電気的特性の寸法依存やバイアス依存を表す部分は，MOSFET モデル間での差異が大きい．中間モデルでは，それらの部分をモデル化せずに，中間パラメータとして保持する．一般に MOSFET モデルパラメータは，寸法やバイアスによらない定数であるが，中間パラメータは電気的特性としての寸法依存やバイアス依存をもつパラメータである．実測特性を一度中間パラメータに変換し，中間パラメータから物理パラメータとの関係を求める．中間パラメータから MOSFET モデルパラメータに変換する方法は既知である [78–80]．物理パラメータと中間パラメータとの関係が求まれば，物理パラメータのばらつきから MOSFET モデルパラメータのばらつきを知ることができる．中間モデルという中間状態をおくことによって，MOSFET モデルに依存せずに系統的な統計処理を行うことが可能

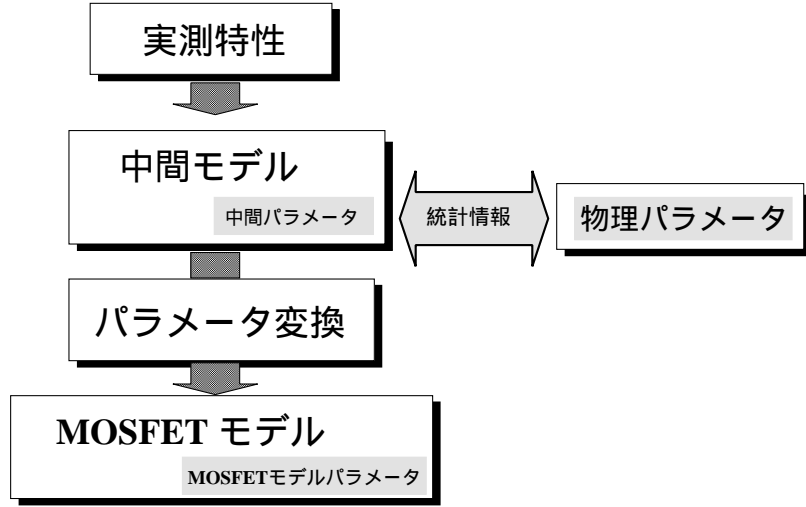


図 3.3: 中間モデルを用いた統計的モデル化の手順

である。

#### 物理パラメータ

物理パラメータについて説明する。物理パラメータは、寸法やバイアスに依存せず、できる限り製造時の物理性を反映したものであることが好ましい。トランジスタ特性のばらつきでは、不純物密度、実効チャネル長、実効チャネル幅、酸化膜厚、移動度などの物理量のばらつきが支配的である。本研究では、電気的特性から計算可能なものとして、 $V_{TH0}$ ,  $K_P$ ,  $\Delta L$ ,  $\Delta W$  の4つを物理パラメータとして用いる。

不純物密度はフラットバンド電圧に影響を与える。フラットバンド電圧を反映したパラメータとして  $V_{TH0}$  を用いる。 $V_{TH0}$  は大寸法のトランジスタの閾値電圧に相当する。なお、本論文において、単に閾値電圧  $V_{TH0}$  と書いた場合は、物理パラメータの  $V_{TH0}$  を示す。 $V_{TH}$  と書いた場合はMOSFETモデルパラメータとしての閾値電圧を示す。BSIM3v3における  $V_{TH}$  と  $V_{TH0}$  の関係は式 (3.3) に示される。

移動度と酸化膜厚は、電気的特性からそれぞれを分離することは困難なので、代用として物理パラメータ  $K_P$  を用いる。式 (3.6) に示すように、 $K_P$  は移動度  $\mu$  と酸化膜厚  $T_{OX}$  から求まるパラメータである。 $\epsilon$  は酸化膜の誘電率を示す。

$$\beta = K_P \frac{W_{eff}}{L_{eff}} \quad (3.5)$$

$$K_P = \mu \frac{\epsilon}{T_{OX}} \quad (3.6)$$

物理パラメータの  $\Delta L$  と  $\Delta W$  は、それぞれ実効チャネル長と実効チャネル幅について、レ

イアウトでのゲート寸法からの差を示す．マスクの製造ばらつきや拡散のオーバーラップを反映する．

### 中間モデルの方程式とパラメータ

中間モデルのモデル式と中間パラメータについて説明する．中間モデルは，一種のMOSFETモデルであり，多くのモデルに共通する動作方程式のみで記述されている必要がある．中間モデルの動作方程式を以下に示す．

弱反転領域:

$$I_{DS} = I_{S0} \cdot \exp\left(\frac{V'_{GST}}{N}\right) \quad (3.7)$$

非飽和領域:

$$I_{DS} = \frac{W_{eff}}{L_{eff}} \mu_e C_{OX} \frac{(V'_{GST} - V'_{DS}/2) V'_{DS}}{1 + \theta \cdot V'_{GST}} \quad (3.8)$$

飽和領域:

$$I_{DS} = I_{DSAT} + g_{out} (V'_{DS} - V_{DSAT}) \quad (3.9)$$

ただし

$$\begin{cases} V'_{DS} &= V_{DS} - R_{DS} \cdot I_{DS} \\ V'_{GST} &= V_{GS} - R_{DS}/2 \cdot I_{DS} - V_{TH} \end{cases} \quad (3.10)$$

中間モデルは，弱反転領域，非飽和領域，飽和領域のそれぞれの動作領域ごとに別々の動作方程式を持つ．中間パラメータは，閾値電圧  $V_{TH}$ ，電界移動度  $\mu_e$ ，縦方向電界による移動度の低下係数  $\theta$ ，ソース・ドレインの寄生抵抗  $R_{DS}$ ，弱反転伝導率 (subthreshold swing)  $N$ ，飽和電圧  $V_{DSAT}$ ，飽和電流  $I_{DSAT}$ ，飽和時の出力コンダクタンス  $g_{out}$  の8種類からなる．実測特性から中間パラメータを抽出し，中間パラメータの統計情報から，物理パラメータのばらつきを求める．

### 3.2.3 局所ばらつきモデル

提案の局所ばらつきモデルについて説明する．第2章での局所ばらつきモデルとの違いは，モデル化の対象として，物理パラメータの  $V_{TH0}$ ,  $K_P$ ,  $\Delta W$ ,  $\Delta L$  を用いることである．物理パラメータを正規分布とし，以下の式でモデル化する．

$$\sigma^2(V_{TH0}) = \frac{A_{V_{TH0}}^2}{WL} \quad (3.11)$$

$$\sigma^2(K_P) = \frac{A_{K_P}^2}{WL} \quad (3.12)$$

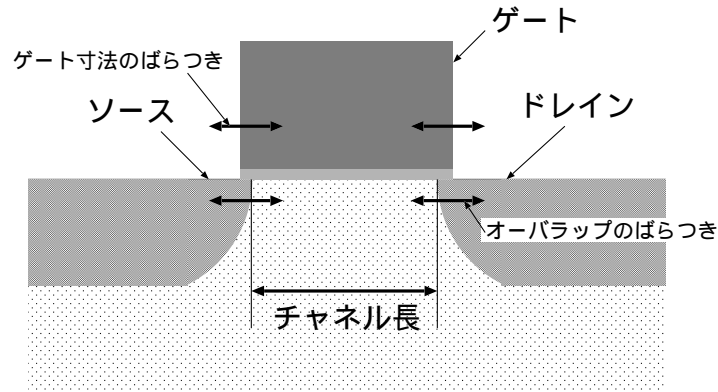


図 3.4: チャンネル長の変動要因

$$\sigma^2(\Delta W) = \frac{A_{\Delta W}^2}{L} \quad (3.13)$$

$$\sigma^2(\Delta L) = \frac{A_{\Delta L}^2}{W} \quad (3.14)$$

ここでの  $W$  と  $L$  はそれぞれトランジスタの実効チャンネル幅と実効チャンネル長である。トランジスタ寸法が大きくなるほど、ばらつきの幅が小さくなる。図 3.4 に示すように、チャンネル長のばらつき  $\sigma(\Delta L)$  はゲートポリシリコン生成時のマスクのずれや、ドレイン-チャンネル間やソース-チャンネル間でのオーバーラップに起因する。長チャンネルのトランジスタでも短チャンネルのトランジスタでもチャンネル長ばらつきの絶対値は同じである [21, 67]。そのため、チャンネル長のばらつき  $\sigma(\Delta L)$  はチャンネル長  $L$  には依存せず、チャンネル幅のばらつき  $\sigma(\Delta W)$  はチャンネル幅  $W$  には依存しない。

物理パラメータは正規分布であり、サイズやバイアスに依存しないとしてモデル化する。物理パラメータのばらつきは、中間モデルを介して、MOSFET モデルパラメータに写像される。そのため、サイズ依存性バイアス依存性は MOSFET モデル側で考慮される。モデルパラメータの抽出方法については、第 4 章で詳しく説明する。

### 3.3 大域ばらつきのモデル化

本節では、大域ばらつきのモデル化について説明する。第 2 章では、大域ばらつきをチップ内で一次の傾き量としてモデル化を行ったが、統計的分布についてはモデル化を行っていない。大域ばらつきはウエハ全体に対して位置に依存した変動をするため、本質的に正規分布とはならない。そこで、大域ばらつきをウエハ全体での位置に依存した関数でモデル化する方法を提案する。

### 3.3.1 モデル化における問題点

大域ばらつきのモデル化に際して，トランジスタ特性に表れる大域ばらつきの影響およびモデル化における問題点について説明する．

トランジスタ特性の統計分布をモデル化するために，無作為にサンプルを選び，正規分布を仮定して統計的にパラメータ抽出を行う方法が考えられる．しかし，トランジスタ特性における局所ばらつき成分と大域ばらつき成分は，必ずしも正規分布になるわけではない．これは，前節で説明した寸法依存やバイアス依存の影響と，大域ばらつきが本質的に正規分布ではないことが理由である．大域ばらつきはウエハ上での位置に対して強い相関を持っているため正規分布とはならない [86, 87]．

位置に依存した大域ばらつきによる変動を測定するための回路が提案されている [67, 70, 76, 77]．この測定回路は，チップ内に多数のトランジスタをアレイ状に配置したものである．測定回路の詳しい説明は付録 A で行う．この回路を測定すると，大域ばらつき成分と局所ばらつき成分の混ざったトランジスタ特性が得られる．まずは，大域ばらつきと局所ばらつきを分離する必要がある．そのために，大域ばらつきをチップ内での曲面や平面としてモデル化する．最小自乗法によりその曲面や平面を求める．測定値との差分が局所ばらつき成分となる．以上の手順により，測定回路上での位置に対応した大域ばらつき成分を測定する．しかし，大域ばらつき成分はチップごとに異なる値を持つ．回路のばらつき解析を行う際には，大域ばらつきは統計量として扱う必要がある．

大域ばらつきの統計量を知るために，多数のチップについて大域ばらつきを測定する必要がある．大域ばらつきは正規分布とならないため，正確な測定のためには，より多くのチップの測定が必要である．また，大域ばらつき量を測定するためには，非常に広い範囲の特性を調べる必要があるため，測定回路の面積も非常に大きなものとなる．精密な測定には長時間を要する．測定値に対して，トランジスタモデルパラメータの抽出が必要であるが，これにも時間を要する．大規模トランジスタアレイによる大域ばらつきの測定では，回路面積的なコストと時間的なコストの面が問題である．

ここで，大域ばらつきが正規分布とならないことを示すために，ある物理パラメータ  $P$  について大域ばらつき成分の分布を求める．例として，大域ばらつき  $P$  が，ウエハ上の位置  $(x, y)$  に依存した以下の関数で表れされると仮定する．

$$P = 0.7 - 0.05(x^2 + y^2) \quad (3.15)$$

大域ばらつき成分の  $x$  軸方向の傾きについて考える．式 (3.15) を  $x$  について微分すると，以下の式が得られる．

$$\frac{\partial P}{\partial x} = -0.1x \quad (3.16)$$

式 (3.16) を用いて各チップの中心位置での大域ばらつきによる傾きの大きさを求める．

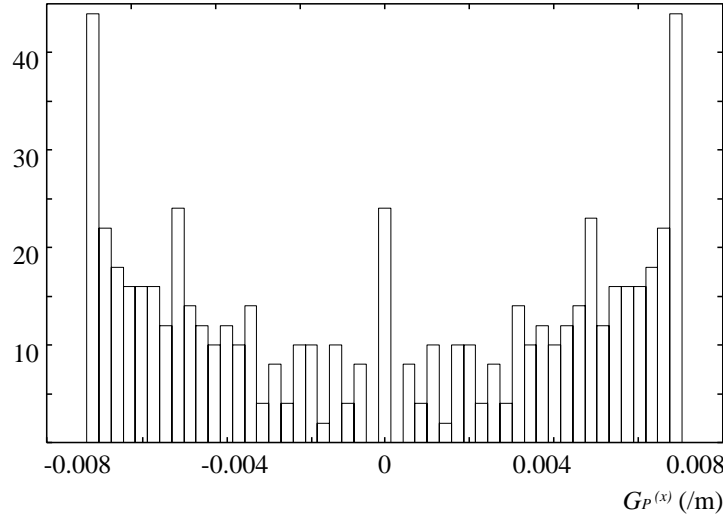


図 3.5: 大域ばらつきによる傾き量の分布

この傾き成分のウエハ全体における分布を図 3.5 に示す．この図に示されるように，位置に依存するばらつき成分は，一般には正規分布とはならない．これは，大域ばらつきが規則的な成分であり，根本的に乱数的な成分でないことに起因する．さらに注意することは，大域ばらつきがウエハ上でどのような形状を持つかによって，その大きさ自体や傾き量の分布が変化することである．

大域ばらつきのモデル化においては，位置に依存したモデル化を行うことと，測定コストを減らすことが重要である．

### 3.3.2 ウエハ上での大域ばらつきの変動

大域ばらつきを位置に依存した関数によりモデル化する．ウエハ上で大域ばらつきの描く曲面はなだらかであることが知られている [18–24]．そのため，大域ばらつきは，比較的低次の関数で近似できることが期待できる．ここでは，実測結果を用いて，ウエハ上での大域ばらつきが低次の関数で近似できることを示す．

0.6 $\mu\text{m}$  プロセスにおける実測値を用いた．物理パラメータ  $V_{TH0}$ ,  $K_P$ ,  $\Delta W$ ,  $\Delta L$  について，ウエハ上での大域ばらつきの変動を図 3.6~3.13 に示す．同図において， $x$  軸， $y$  軸はウエハ上での位置を示し， $z$  軸は大域ばらつきによる変位を任意単位で示したものである．測定には，図 3.14 の回路を用いた．ソース端子，ゲート端子，バックゲート端子を共通とし，ドレイン端子をトランジスタごとに設ける．抽出に用いたトランジスタ寸法の組を表 3.1 および図 3.15 に示す．MOSFET モデルである BSIM[84] のパラメータ抽出に必要な寸法の組と同様のものである．



表 3.1: 抽出に用いたトランジスタサイズの組

$L[\mu\text{m}]$	0.6	1.2	1.8	2.4	24	24	24	24	24	24
$W[\mu\text{m}]$	42	42	42	42	42	1.8	1.8	3.3	6.3	9.3

測定値は、大域ばらつきと局所ばらつきを含む。測定回路において、各トランジスタはごく近傍に配置されているため、各トランジスタでの大域ばらつき成分は等しいと近似する。局所ばらつきはガウス雑音ならなる成分なので、同一回路に含まれるトランジスタからの測定値の平均を取ることで、局所ばらつきの成分を除去し、大域ばらつきの成分のみを取り出した。

次に、測定した大域ばらつきが低次の関数により近似できることを示す。図 3.13 の pMOS の  $V_{TH0}$  を以下の 2 次関数の式 (3.17) により近似する。

$$P = ax^2 + bxy + cy^2 + dx + ey + f \quad (3.17)$$

結果を図 3.16 に示す。 $x$  軸、 $y$  軸はウエハ上での位置を示す。図中 (a) は実測から大域ばらつきを分離したもので、図 3.13 に示したものと同一のものである。図中 (b) が式 (3.17) により大域ばらつきを近似したものである。最小自乗法により合せ込みを行った。このときの最小自乗誤差 (RMS<sup>2</sup>誤差) は 0.3% であった。

### 3.3.3 大域ばらつきモデル

提案する大域ばらつきモデルについて説明する。

大域ばらつきモデルは、ウエハ全体における変動を位置による関数で表す。チップ面内での大域ばらつきによる変動を複雑な曲面関数で表すことも可能であるが、精度よく測定し局所ばらつきと分離することは困難である。そのため、チップ内では一次の傾きとしてモデル化する [48]。ウエハ全体についても、低次の関数によりモデル化を行う。

一般として、物理パラメータ  $P$  の大域ばらつき成分について、ウエハ全体での変動を式 (3.18) で表す。

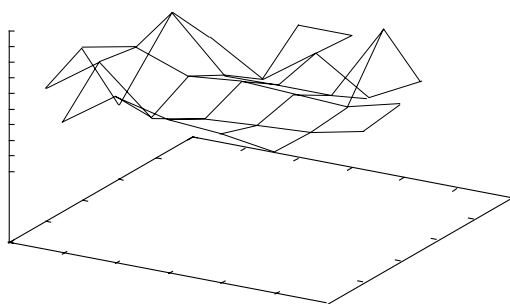
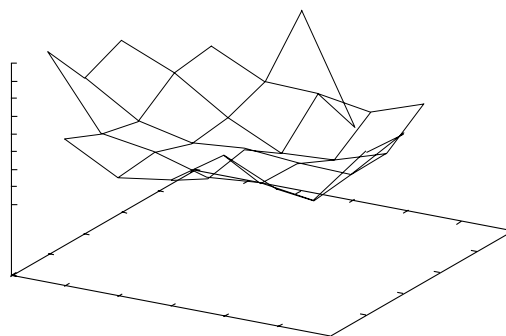
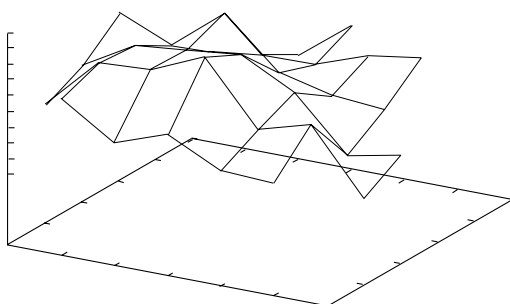
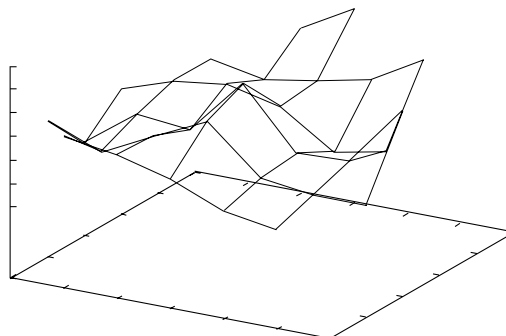
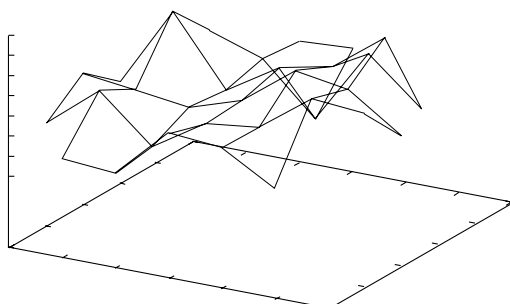
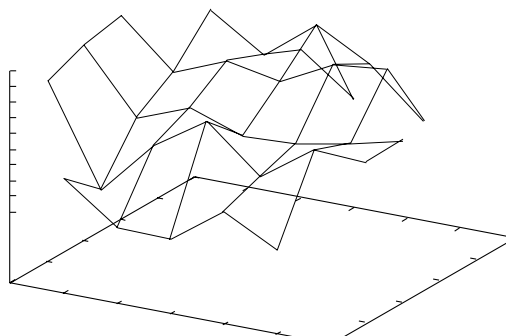
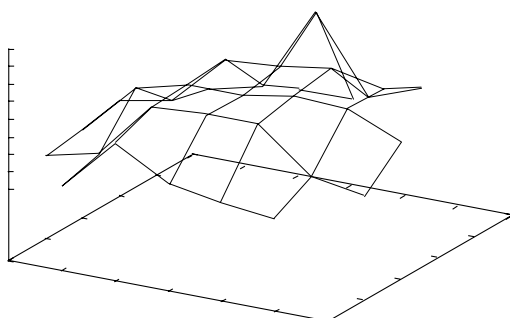
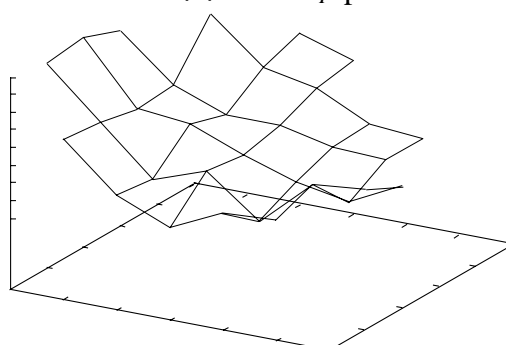
$$P = f_P(x, y) \quad (3.18)$$

この時、ウエハ上での座標  $(X, Y)$  にあるチップにおいて、大域ばらつき  $P$  の傾き成分  $G_P^{(x)}, G_P^{(y)}$  は、式 (3.19)(3.20) により与えられる。

$$G_P^{(x)} = \left. \frac{\partial f_P}{\partial x} \right|_{x=X, y=Y} \quad (3.19)$$

---

<sup>2</sup>Root Mean Square

図 3.6:  $\Delta L$ -nMOS図 3.7:  $\Delta L$ -pMOS図 3.8:  $\Delta W$ -nMOS図 3.9:  $\Delta W$ -pMOS図 3.10:  $K_p$ -nMOS図 3.11:  $K_p$ -pMOS図 3.12:  $V_{TH0}$ -nMOS図 3.13:  $V_{TH0}$ -pMOS

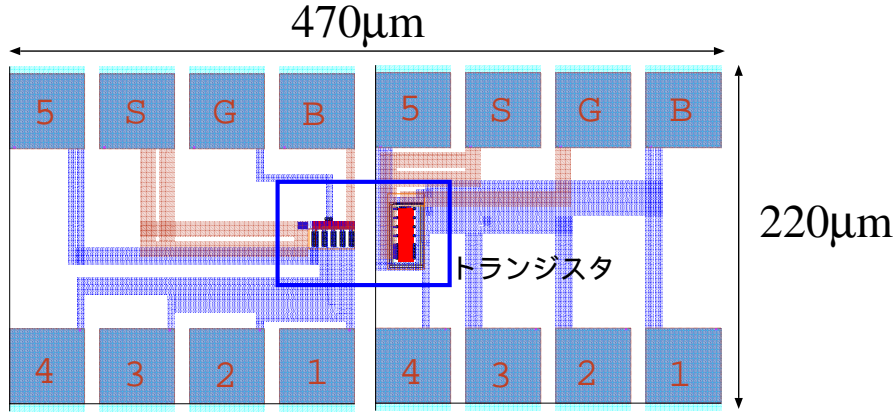


図 3.14: 測定回路のレイアウト

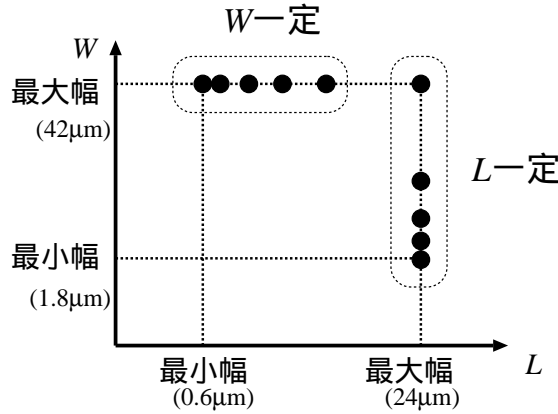
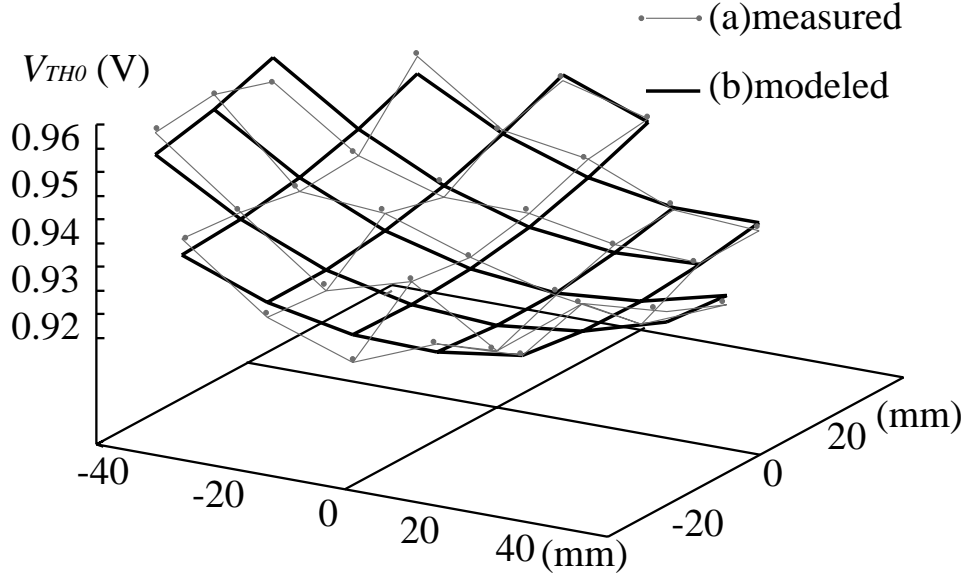


図 3.15: パラメータ抽出に必要なトランジスタサイズの配分

$$G_p^{(y)} = \left. \frac{\partial f_p}{\partial y} \right|_{x=X, y=Y} \quad (3.20)$$

ウエハ全体について式 (3.18) を求め、各チップについて傾き成分  $G_p^{(x)}$ ,  $G_p^{(y)}$  を利用する。

近似関数  $f_p(x, y)$  について議論する。前節の議論より、大域ばらつきは比較的低次の関数で近似することができると期待できる。前節で用いた式 (3.17) をモデル式として考えると、モデルパラメータは  $a, b, c, d, e, f$  となる。この場合、パラメータセット  $a, b, c, d, e, f$  によってウエハ全体の大域ばらつきを表す。統計解析の際には、ばらつき情報としてウエハ間やロット間の統計情報が必要となる。つまり、ウエハ間やロット間でのパラメータセット  $a, b, c, d, e, f$  の統計情報が必要となる。しかし、パラメータセット  $a, b, c, d, e, f$  は、元来、大域ばらつきの形状を表すパラメータであるため、統計的な情報量は少ない。

図 3.16: 大域ばらつきの近似 ( $V_{TH0}$ -pMOS)

そこで，大域ばらつきの性質に注目する．ウエハの端に配置された回路ほど性能は劣化することが知られているが，大域ばらつきも同様の傾向を示す [19, 23]．大域ばらつきのモデル化において，ウエハの中心からの距離により，大域ばらつきを特徴づける．式 (3.17) を極座標系に変形する．

$$g(r, \theta) = \frac{a+c}{2}r^2 + \frac{\sqrt{(a-c)^2 + b^2}}{2}r^2 \cos(2\theta + \alpha) + \sqrt{d^2 + e^2}r \cos(\theta + \beta) + f \quad (3.21)$$

この式において，パラメータは6個である．統計処理のコストを削減するためには，パラメータの数が少ないほうが好ましい．式 (3.17)(3.21) の代替に式 (3.22) またはその変形した式 (3.23) を考える，

$$g(x, y) = a(x^2 + y^2) + bx + cy + d \quad (3.22)$$

$$g(r, \theta) = ar^2 + \sqrt{b^2 + c^2}r \cos(\theta + \alpha) + d \quad (3.23)$$

ここで，変数を整理し，次式 (3.24) について検討を行う．

$$G(r, \theta) = Ar^2 + Br \cos(\theta + \alpha) + C \quad (3.24)$$

ウエハ上での大域ばらつき  $G(r, \theta)$  は,  $A, B, C, \alpha$  をモデルパラメータとして, 極座標  $(r, \theta)$  により表される.  $A, B, C$  は以下の式により与えられる.

$$A = a \quad (3.25)$$

$$B = \sqrt{b^2 + c^2} \quad (3.26)$$

$$C = d \quad (3.27)$$

ウエハ間, ロット間での大域ばらつきの統計情報は, パラメータ  $A, B, C, \alpha$  の統計情報として扱う. パラメータの数は6個から4個に減ったが, 統計的な扱いを簡単にするため, パラメータの数はさらに少ない方がよい. そこで, パラメータ数を削減するために以下の仮定を行う.

仮定 ウエハの中心からの距離が等しい位置にある素子は, 大域ばらつきの統計的分布も等しい.

ウエハ中心からの距離  $r$  が等しく, 異なる位置の2点  $(r, \theta_1)$  と  $(r, \theta_2)$  について, 非常に多数のウエハにおける大域ばらつき量の集合  $S_1$  と  $S_2$  は, 以下の式で表される.

$$S_1 = \{G(r, \theta_1) | 0 \leq \alpha < 2\pi\} \quad (3.28)$$

$$= \{Ar^2 + Br \cos(\theta_1 + \alpha) + C | 0 \leq \alpha < 2\pi\} \quad (3.29)$$

$$S_2 = \{G(r, \theta_2) | 0 \leq \alpha < 2\pi\} \quad (3.30)$$

$$= \{Ar^2 + Br \cos(\theta_2 + \alpha) + C | 0 \leq \alpha < 2\pi\} \quad (3.31)$$

ただし,  $R$  をウエハの半径として,

$$R > r > 0 \quad (3.32)$$

$$0 \leq \theta_1 < 2\pi \quad (3.33)$$

$$0 \leq \theta_2 < 2\pi \quad (3.34)$$

$$\theta_1 \neq \theta_2 \quad (3.35)$$

である. この時, 仮定より, 集合  $S_1$  と集合  $S_2$  は等しくなる. つまり, 式 (3.24) における  $G(r, \theta)$  について,  $r$  の等しい位置では  $\theta$  によらず分布が等しくなる. 結局, 提案する大域ばらつきモデルは, 式 (3.36) で表される.

$$G(r) = Ar^2 + Br \cos \alpha + C \quad (3.36)$$

モデル式は，ウエハ中心からの距離  $r$  の関数であり，モデルパラメータは  $A, B, C$  となる． $\alpha$  は， $0 \sim 2\pi$  の一様乱数となる．大域ばらつきによる傾き成分  $G_p^{(x)}, G_p^{(y)}$  は，式 (3.24) を微分したものから得られる． $G_p^{(x)}, G_p^{(y)}$  を次式に示す．

$$G_p^{(x)} = 2AX + B \cos \alpha \quad (3.37)$$

$$G_p^{(y)} = 2AY - B \sin \alpha \quad (3.38)$$

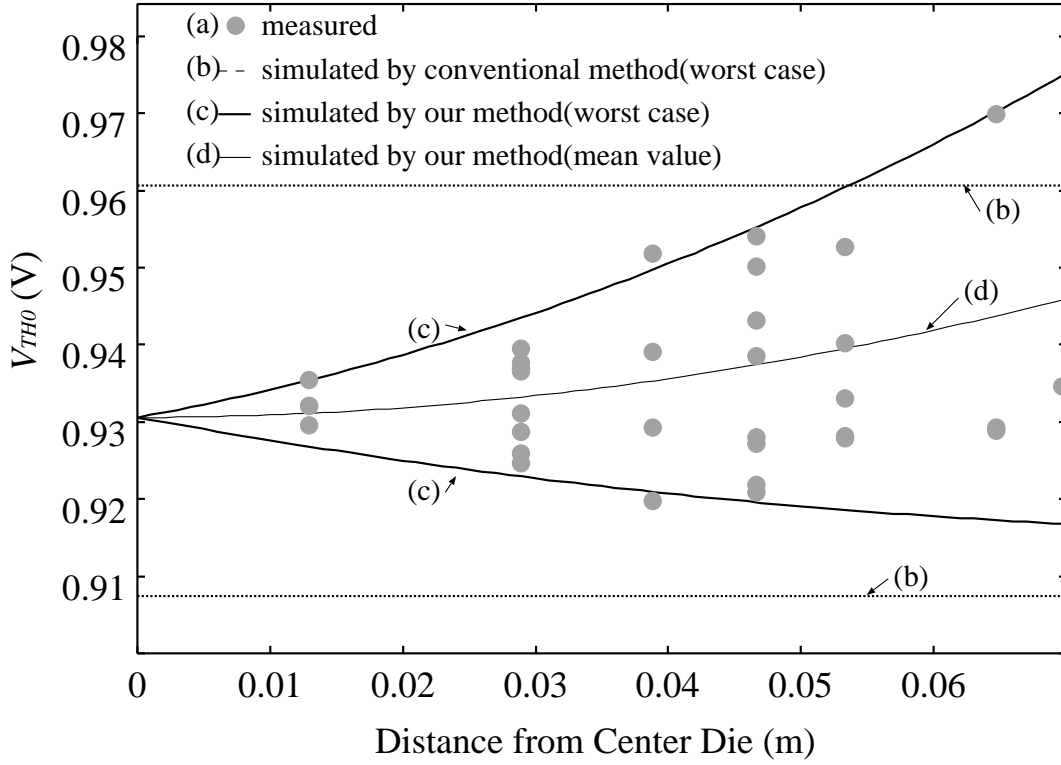
モデル式 (3.36) について，パラメータ抽出の手順を説明する．大域ばらつきモデルのパラメータ抽出には，まず，複数のトランジスタから物理パラメータの平均を求め，局所ばらつき成分を分離する．取り出した大域ばらつきを式 (3.22) で近似し，式 (3.25)(3.26)(3.27) よりパラメータ  $A, B, C$  を計算する．

nMOS と pMOS のそれぞれについて物理パラメータ  $V_{TH0}, K_P, \Delta W, \Delta L$  の大域ばらつきモデルパラメータを抽出する実験を行った．抽出に用いた測定値は，図 3.6~3.13 に示したのと同じのものである．まず，測定値を式 (3.22) によりモデル化する．式 (3.25)(3.26)(3.27) よりモデル式 (3.36) のモデルパラメータ  $A, B, C$  を求める．この際，測定値とモデル値での誤差は最大でも 1.1% であった．pMOS の  $V_{TH0}$  についての抽出結果を図 3.17 に示す．図において，横軸がウエハ中心から距離  $r$  で，縦軸が閾値電圧  $V_{TH0}$  である．図中の黒丸で示した点が測定値である．破線 (b) が測定値を正規分布でモデル化した場合の最悪値 ( $\mu \pm 3\sigma$ ) を示す．曲線 (c)(d) が提案モデルによりモデル化した場合の大域ばらつきの範囲である．破線 (b) は，ウエハ上の位置に依存しないため，図中では一定の範囲を示す．曲線 (c) は，式 (3.36) において， $\alpha$  を，0 もしくは  $\pi$  にした時の曲線である．同じく曲線 (d) は， $\alpha$  を， $\frac{\pi}{2}$  にした時の曲線である．実際の測定値はウエハの中心からの距離により分布が変化しているが，提案モデルではその様子を表現できている．正規分布によるモデル化では，ウエハ中心付近では実際よりも悲観的に，ウエハ外辺部分では楽観的すぎる見積りとなった．

### 3.3.4 大域ばらつきモデルの確率密度

大域ばらつきを統計処理するために，確率密度関数が必要である．大域ばらつきモデルのパラメータ ( $A, B, C$ ) が与えられたときに，確率密度を求める方法について説明する．

大域ばらつき  $G(r)$  が式 (3.36) で表される時，大域ばらつきの大きさが  $g$  となる確率  $p(g)$  について考える．この時の確率密度  $p(g)$  は，大域ばらつきの大きさが  $g$  から  $g + \Delta g$  までの値を取ったときにウエハ上で占める面積の割合  $\Delta S(g)$  により与えられる．この時の大域ばらつきの等しい点の集合は，図 3.18 に示すように，ウエハの中心から  $|\frac{B}{2A}|$  離れ

図 3.17: 大域ばらつきモデルと測定値の比較 (pMOS- $V_{TH0}$ )

た点に中心を持つ半径  $r$  の円になる．まず，等大域ばらつき円の半径を求める．大域ばらつきのモデル式 (3.36) より，等大域ばらつき円の中心を原点にとった座標系において，大域ばらつきと座標  $(x, y)$  との関係は式 (3.39) で表される．

$$g = a(x^2 + y^2) + bx + cy + d \quad (3.39)$$

この式を解くと，等大域ばらつき円の半径が求まる．

$$\{r(g)\}^2 = \left(x + \frac{b}{2a}\right)^2 + \left(y + \frac{c}{2a}\right)^2 \quad (3.40)$$

$$= \frac{g}{A} + \frac{B^2}{4A^2} - \frac{C}{A} \quad (3.41)$$

$$r(g) = \frac{\sqrt{4Ag + B^2 - 4AC}}{2|A|} \quad (3.42)$$

ただし，

$$4Ag + B^2 - 4AC > 0 \quad (3.43)$$

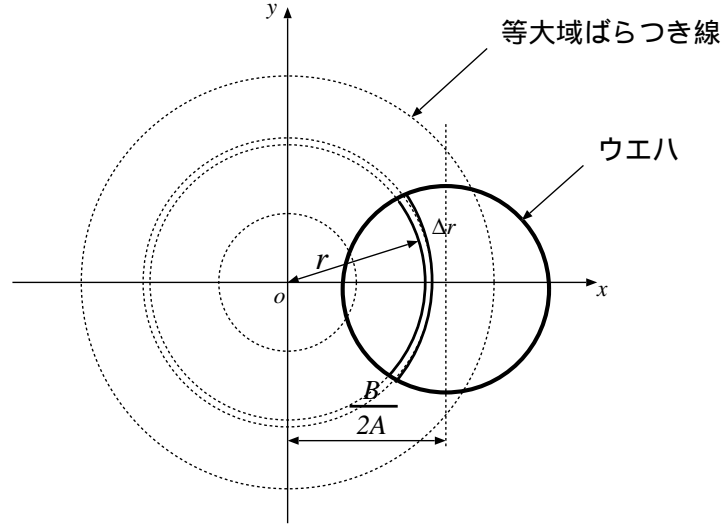


図 3.18: 等大域ばらつき円

である．また，図 3.19 より， $\alpha$  および  $\Delta S(r)$  は，以下のように求まる．

$$R^2 = r^2 + \left(\frac{B}{2A}\right)^2 - 2r\frac{B}{2A} \cos \alpha \quad (3.44)$$

$$\alpha = \cos^{-1} \left\{ \frac{r^2 + \left(\frac{B}{2A}\right)^2 - R^2}{\frac{rB}{A}} \right\} \quad (3.45)$$

$$\Delta S(r) = \left\{ \pi(r + \Delta r)^2 - \pi r^2 \right\} \frac{2\alpha}{2\pi} \quad (3.46)$$

$$\simeq 2\alpha r \Delta r \quad (3.47)$$

式 (3.42) を式 (3.45) に代入すると，大域ばらつき量が  $g$  となる時の  $\alpha$  が求まる．

$$\alpha = \cos^{-1} \frac{2Ag + B^2 - 2AC - 2A^2R^2}{B\sqrt{4Ag + B^2 - 4AC}} \quad (3.48)$$

等大域ばらつき円の中心がウエハ面内にない場合 (図 3.19A) と等大域ばらつき円の中心がウエハ面内にある場合 (図 3.19B) で， $\alpha$  の値が異なる．ウエハの半径  $R$  が  $\left|\frac{B}{2A}\right|$  より大きい時と小さい時とで場合分けを行う．式 (3.48) および式 (3.47) より，確率密度  $p(g)$  は，以下の式で表される．

$0 < R < \left|\frac{B}{2A}\right|$  の時．



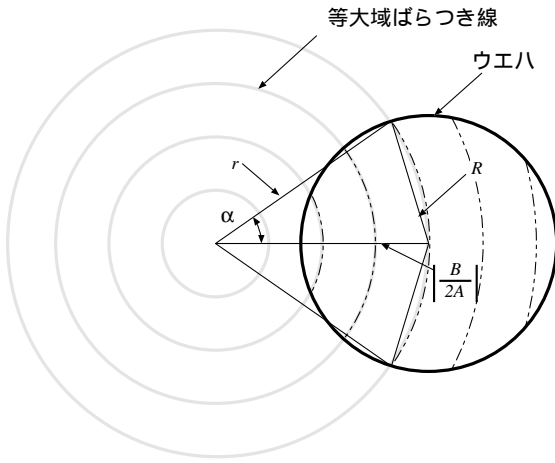


図 3.19A:  $R < |\frac{B}{2A}|$

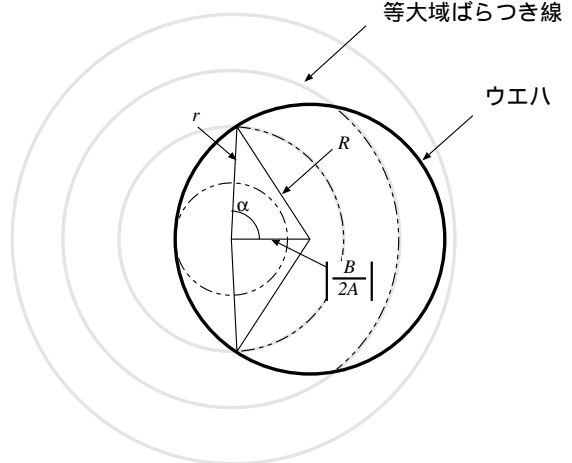


図 3.19B:  $R > |\frac{B}{2A}|$

図 3.19: 等大域ばらつき線とウェハの関係

$$p(r) = \begin{cases} 0 & (0 < r < |\frac{B}{2A}| - R) \\ 2\alpha r & (|\frac{B}{2A}| - R < r < |\frac{B}{2A}| + R) \\ 0 & (|\frac{B}{2A}| + R < r) \end{cases} \quad (3.49)$$

$R > |\frac{B}{2A}|$  の時 .

$$p(r) = \begin{cases} 2\pi r & (0 < r < R - |\frac{B}{2A}|) \\ 2\alpha r & (R - |\frac{B}{2A}| < r < |\frac{B}{2A}| + R) \\ 0 & (|\frac{B}{2A}| + R < r) \end{cases} \quad (3.50)$$

式 (3.42) および大域ばらつき  $g$  の存在条件 (3.43) より , 式 (3.49)(3.50) は以下のように表される .

$0 < R < |\frac{B}{2A}|$  の時 .

$$p(g) = \begin{cases} 0 & (g < AR^2 - BR + C) \\ \frac{\sqrt{4Ag + B^2 - 4AC}}{|A|} E & (AR^2 - BR + C < g < AR^2 + BR + C) \\ 0 & (AR^2 + BR + C < g) \end{cases} \quad (3.51)$$

$A > 0$  かつ  $R > |\frac{B}{2A}|$  の時 .

$$p(g) = \begin{cases} 0 & (g < C - \frac{B^2}{4A}) \\ \frac{\pi \sqrt{4Ag + B^2 - 4AC}}{A} & (C - \frac{B^2}{4A} < g < AR^2 - BR + C) \\ \frac{\sqrt{4Ag + B^2 - 4AC}}{A} E & (AR^2 - BR + C < g < AR^2 + BR + C) \\ 0 & (AR^2 + BR + C < g) \end{cases} \quad (3.52)$$

$A < 0$  かつ  $R > \left| \frac{B}{2A} \right|$  の時 .

$$p(g) = \begin{cases} 0 & (g < AR^2 - BR + C) \\ -\frac{\sqrt{4Ag + B^2 - 4AC}}{A} E & (AR^2 - BR + C < g < AR^2 + BR + C) \\ -\frac{\pi \sqrt{4Ag + B^2 - 4AC}}{A} & (AR^2 + BR + C < g < C - \frac{B^2}{4A}) \\ 0 & (g < C - \frac{B^2}{4A}) \end{cases} \quad (3.53)$$

ただし , 式 (3.51)~(3.53) で用いた  $E$  は , 次式で与えられる .

$$E = \cos^{-1} \frac{2Ag + B^2 - 2AC - 2A^2R^2}{B \sqrt{4Ag + B^2 - 4AC}} \quad (3.54)$$

実際には ,  $\int p(g)dg = 1$  となるように正規化する必要がある . 以上より , 大域ばらつき量  $g$  の存在範囲は , 最大で以下の範囲となる .

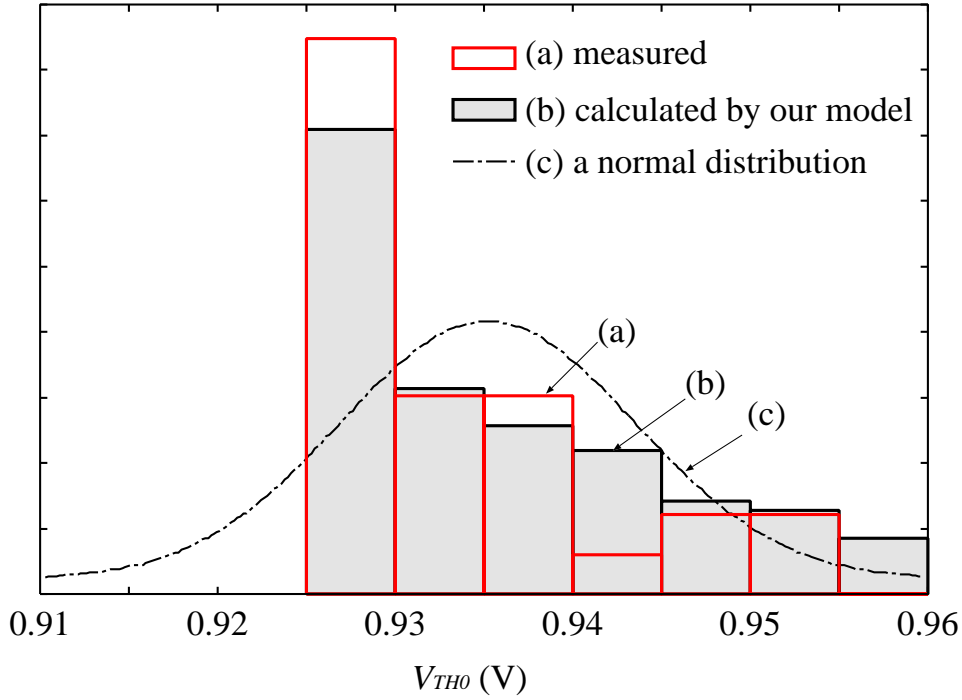
$$\min(AR^2 - BR + C, C - \frac{B^2}{4A}) < g < \max(AR^2 + BR + C, C - \frac{B^2}{4A}) \quad (3.55)$$

例として , 図 3.17 で示したものと同一測定値および抽出値から , pMOS の  $V_{TH0}$  の度数分布を求めた . 図 3.20 に示す . 図中 (a) が測定値の分布を示す . 測定値から大域ばらつきモデルのモデルパラメータ  $A, B, C$  を抽出した . 本節で導出した確率密度関数を用いて , 確率分布を再現したものが図中の (b) である . (c) は測定値を正規分布で近似した場合である . 正規分布による近似では誤差が大きい . 提案モデルでは , 正規分布で近似した場合よりも正確に分布を表現できた .

### 3.4 物理パラメータの再現

統計解析のために , トランジスタの寸法や配置位置を考慮して物理パラメータの統計値を求める必要がある . ここでは , モデル化のまとめとして , 局所ばらつきモデルと大域ばらつきモデルを用いて , 物理パラメータを再現する方法について説明する .

物理パラメータの閾値電圧  $V_{TH0}$  , ゲイン  $K_P$  , ゲート寸法  $\Delta W, \Delta L$  のばらつきを考える . 物理パラメータのばらつきは , 局所ばらつき成分と大域ばらつき成分の和で表す . 局所

図 3.20:  $V_{TH0}$  (pMOS) の度数分布

ばらつきは寸法に依存して正規分布に則った変動を与える．大域ばらつきは位置に依存した変動成分を与える．局所ばらつきモデルとして式 (3.11)(3.12)(3.13)(3.14) を用いる．大域ばらつきモデルとして式 (3.36) を用いる．代表として，物理パラメータ  $P$  について説明する．局所ばらつきモデルにおいて， $\sigma(P_i)$  は標準偏差を示し，添字  $i$  は  $i$  番目のトランジスタの特性であることを示す． $W_i, L_i$  はトランジスタのゲート寸法を示す． $A_P$  はプロセスごとに決定する定数である．大域ばらつきモデルにおいて， $G_P(r)$  はパラメータ  $P$  の大域ばらつき成分を表す． $A, B, C$  はモデルパラメータであり， $\alpha$  は  $0 \sim 2\pi$  の一様乱数である．

これら 2 つのモデルからトランジスタ特性を再現するために式 (3.56) を用いる．

$$P_i = \overline{P}_i + \sigma(P_i) \times (rand_i) \quad (3.56)$$

$\overline{P}_i$  は大域ばらつき成分の大きさ， $\sigma(P_i)$  は局所ばらつきの標準偏差である． $rand_i$  は標準正規分布に則った乱数であり，パラメータ間の相関を考慮して生成する [80, 88]． $\overline{P}_i$  は大域ばらつきモデルから導く．大域ばらつきはウエハ全体から見れば曲面であるが，チップ内のような狭い範囲では 1 次元の傾きとして近似する． $G_P^{(x)}, G_P^{(y)}$  を単位長さ当りのパラメータ  $P$  の変動量である． $G_P^{(x)}, G_P^{(y)}$  は，それぞれ式 (3.37)(3.38) より求まる．図 3.21 に示されるように，注目するチップのウエハ上での位置を  $(X, Y)$  とする．チップ上での座標  $(x_i, y_i)$  にあるトランジスタの平均特性  $\overline{P}_i$  は式 (3.57) により求まる．

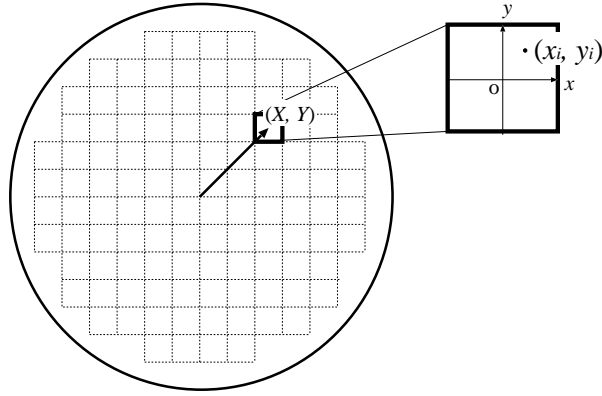


図 3.21: ウエハ上での座標系

$$\overline{P}_i = G_P(\sqrt{X^2 + Y^2}) + G_P^{(x)} x_i + G_P^{(y)} y_i \quad (3.57)$$

また，式 (3.36) における  $\alpha$  とチップ位置  $(X, Y)$  の関係は，次式 (3.58) より表される．

$$\frac{Y}{X} = \tan \alpha \quad (3.58)$$

### 3.5 正規分布による近似誤差

ここまでに，大域ばらつきが本質的に正規分布とはならないことを述べた．本節では，トランジスタ特性の分布を提案モデルで表す場合と正規分布で表す場合で，回路特性の統計分布に差がでることを示す．

リングオシレータの発振周期について統計解析を行う．リングオシレータは，図 3.22 に示すようなインバータをリング状に接続した発振回路である．ここでは，7 段構成のものをを用いた．局所ばらつきモデルおよび大域ばらつきモデルのモデルパラメータは，本章で抽出したものをを用いた．pMOS の  $V_{TH0}$  については，図 3.17 および図 3.20 で示したものである．同様に抽出した  $K_P$ ,  $\Delta L$ ,  $\Delta W$  をを用いた．正規分布を用いる場合も，提案手法のものと同一測定値から平均と分散を求めた．リングオシレータの発振周期の度数分布を上記ばらつき条件においてモンテカルロシミュレーションにより求めた．図 3.23 に結果を示す．サンプル数は，1000 である．図中の (a) がトランジスタ特性を正規分布で表し，シミュレーションを行った結果で，図中の (b) が提案モデルを用いた結果である．正規分布による結果では，提案手法による結果よりも，分布の範囲が広くなり，発振周期の平均も遅くなった．この実験では，正規分布により大域ばらつきをモデル化すると，実際よりも回路特性を悲観的に見積るという結果が得られた．

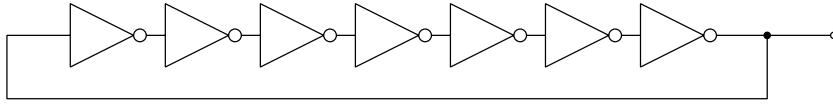


図 3.22: リングオシレータの回路図

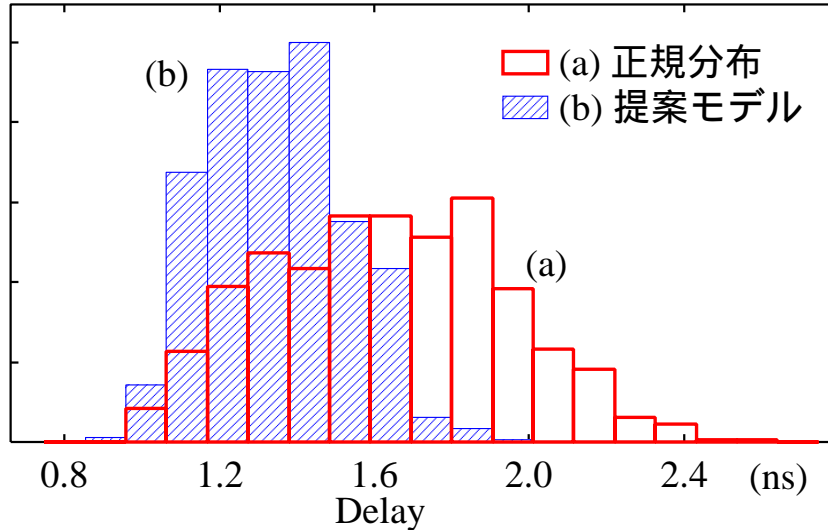


図 3.23: リングオシレータの発振周期

### 3.6 むすび

本章では、局所ばらつきのモデルと大域ばらつきのモデルを提案した。

製造ばらつきのモデル化について、従来からの問題点として大きく以下の3点が挙げられる。ばらつきモデルにおける寸法依存とバイアス依存の考慮、大域ばらつきの分布の考慮、レイアウト依存ばらつきの考慮の3点である。レイアウトに依存するばらつきについては、第2章でモデル化と解析の方法について説明した。本章では、ばらつきモデルにおける寸法依存とバイアス依存と、大域ばらつきの統計分布を考慮して局所ばらつきと大域ばらつきのモデル化を行った。

ばらつきモデルにおける寸法依存とバイアス依存は、局所ばらつきと大域ばらつきのモデル化において共通する問題点である。閾値電圧やゲインのように、そもそも典型値が寸法や印加電圧に依存するパラメータをモデル化するには、ばらつきモデルにおいても寸法や印加電圧依存を考慮する必要がある。しかし、閾値電圧のショートチャネル効果のように寸法依存が非線形な場合は、分布が正規分布とは異なったものとなる。そこで、提案モデルでは、製造プロセスの物理性を反映した物理パラメータに対するモデル化を行った。物理パラメータを用いることで、分布が正規分布に近くなることが期待できる。

物理パラメータの計算において，中間モデルによる手法を用いた．物理パラメータと MOSFET モデルパラメータの間を，中間モデルで橋渡しすることで，MOSFET モデルによらず系統的に統計情報を抽出することが可能である．

大域ばらつきのモデル化においては，ウエハ全体での大域ばらつきの変動を位置による関数で表すことによりモデル化を行った．従来報告されている手法では，チップ内で大域ばらつきの変動に注目しモデル化を行ったが，大域ばらつきの分布を表すのが困難であった．提案モデルでは，位置依存の関数から大域ばらつきの分布を再現することで，少ない測定コストでモデル化を行うことを可能とした．ウエハ間やロット間での大域ばらつきの分布はモデルパラメータの統計分布により表すため，パラメータ数は少ない方がモデル化において有利である．ウエハ中心からの位置により大域ばらつきを特徴づけることにより，モデルパラメータの削減を行った．

大域ばらつきは，製造時の熱分布など大域的に変動する成分に起因するため，本質的に正規分布とならないことを説明した．大域ばらつきを正規分布で近似すると，ばらつき解析での誤差が大きくなることを，リングオシレータの発振周期を例にとって示した．実測した物理パラメータの大域ばらつきから，提案モデルを用いてモデル化した場合と正規分布によりモデル化した場合での誤差を示した．



## 第4章

---

# 実測値からのばらつきモデルパラメータ抽出手法

---

### 4.1 まえがき

本章では，3章で提案した局所ばらつきモデル，大域ばらつきモデルについて，モデルパラメータを抽出する手法を提案する．提案手法の精度検証のため，トランジスタの電流値を測定する TEG から抽出したばらつきモデルパラメータと，実測したリングオシレータの発振周期との比較を行う．

トランジスタ特性ばらつきを考慮した統計回路解析において，トランジスタ特性はチップ内で均一であると仮定し，チップ間のばらつきのみを考える場合が多い．実際には，局所ばらつきの影響で，チップ内でもトランジスタ特性は変動する [1–4, 6, 13, 15, 16, 21, 49, 65]．チップ間でのばらつき同様に，チップ内でのばらつきは回路の歩留りに大きく影響することが知られている [11–13, 49, 50, 89–92]．チップ内ばらつきとチップ間ばらつきを精度良く分離し，モデル化することが重要である．

チップ内のある狭い領域からの測定値を用いる事で，局所ばらつきと大域ばらつきを分離する事を考える．ごく狭い領域においては，局所ばらつきによる変動量に比べ，大域ばらつきによる変動量は十分に小さいと仮定する．狭い領域における特性の平均が大域ばらつき成分による変動で，平均からの変位が局所ばらつき成分となる．大域ばらつきのモデルパラメータは，各チップにおける測定点付近の大域ばらつき成分から求める．大域ばらつきモデルを用いる事で，図 4.1 に示すように，ウエハ全体に対する大域ばらつき成分を再現する．そのため，チップ内における狭い領域からの測定値から，チップ内全体に対する大域ばらつきを再現することが可能である．本章では，区別のために，各チップにおける測定点付近での大域ばらつき成分をチップ間ばらつきと呼ぶ．対応のため，局所ばらつきをチップ内ばらつきと呼ぶ．

これまでに報告されているばらつきのモデル化手法では，電流特性の測定値から MOSFET モデルパラメータをまず抽出し，そのパラメータのばらつきとして特性ばらつきを



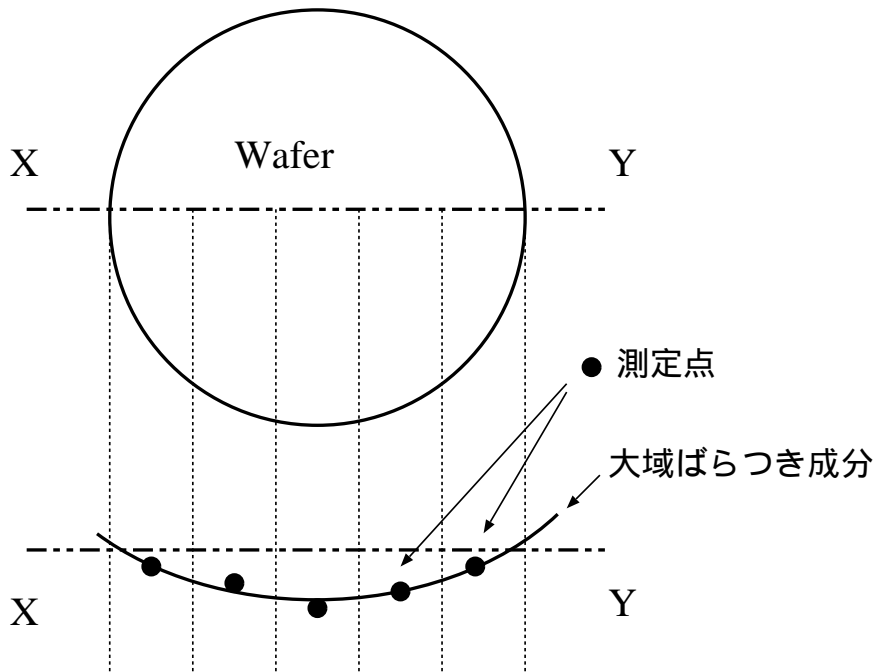


図 4.1: 大域ばらつきの測定位置とモデル化による補間

モデル化する [16, 22, 48, 67] . この場合 , MOSFET モデルパラメータのばらつきを , チップ内ばらつき成分とチップ間ばらつき成分に分離する必要がある . チップ内の狭い領域からの測定値を用いる事で , チップ内ばらつきとチップ間ばらつきを分離することは可能である . MOSFET モデルパラメータの抽出には , 一般に複数のトランジスタからの電流特性を用いるが , それらの特性は互いにチップ内ばらつきの影響を受ける . そのため , パラメータによってはチップ内ばらつきを精度良く分離することは困難になると考えられる .

提案手法では , チップ内ばらつきとチップ間ばらつきの分離において , MOSFET モデルパラメータについてではなく , 電流値について分離を行う . MOSFET モデルパラメータのチップ内ばらつき成分を , 電流値のチップ内ばらつき成分から直接抽出するための手法を提案する . MOSFET モデルパラメータではなく , 電流値についてばらつきモデルのパラメータを合せ込むため , 電流値におけるモデル化精度の向上が期待できる .

提案手法により抽出したばらつきモデルパラメータの精度を検証するため , リングオシレータの発振周波数ばらつきと比較を行う . リングオシレータの発振周波数について , チップ内での変動量とチップ間での変動量は段数によって変化する . 段数の異なるリングオシレータの測定結果から , チップ内ばらつきとチップ間ばらつきの割合を求め , トランジスタ特性のばらつきと比較する .

4.2 節では , ばらつきモデルについて説明し , チップ内ばらつきとチップ間ばらつき

の分離，および，各ばらつきモデルのパラメータ抽出手法について説明する．実測値についてチップ内ばらつきモデルのパラメータ抽出を行った結果を示す．4.3 節では，解析式による遅延時間の計算方法を述べる．リングオシレータの発振周波数ばらつきが段数に依存することを示し，4.2 節での結果と比較する．4.4 節で結論を述べる．

## 4.2 トランジスタ特性ばらつきのモデル化

本節では，トランジスタ特性について，実測した電流値からモデルパラメータを抽出する手順を説明する．まず，チップ内ばらつきとチップ間ばらつきを分離する方法を説明し，実測値を用いた実験結果について示す．分離した電流値のチップ内ばらつき成分から，局所ばらつきモデルのパラメータを抽出する手法を提案する．本章において，単にモデルパラメータと書いた場合は，ばらつきモデルのパラメータを示すこととする．

モデルパラメータの抽出において，一度，電流電圧特性から閾値電圧  $V_{TH}$  やゲイン  $\beta$  などを抽出し，それらのパラメータごとにばらつきモデルのパラメータを抽出する方法がある [16, 22, 48, 66–69, 71]．この方法には3つの問題がある．第1に，モデルパラメータごとに合せ込みを行うため，電流値のばらつきについては，モデル化誤差が大きくなる場合があることである．第2には，閾値電圧  $V_{TH}$  やゲイン  $\beta$  はBSIM3v3などのMOSFETモデルで直接使うことができない．第3に，閾値電圧  $V_{TH}$  やゲイン  $\beta$  はバイアス電圧やトランジスタのゲート寸法により値が変動するため，ばらつきモデルが複雑になることである [66–69, 71]．

提案手法では，第1の問題に対処するために，電流値においてチップ内ばらつき成分とチップ間ばらつき成分の分離を行う．電流値のばらつきから直接ばらつきモデルのパラメータ抽出を行う．第2，第3の問題への対処としては，前章で用いた中間モデルを用いることにより解決を図る．一度，実測特性を中間モデルにより表し，中間モデルで統計処理を行った後，BSIMなどのMOSFETモデルに変換する．中間モデル自体は，ばらつきを抽出するためのものではないが，チップ内での平均電流値を効率良く計算することができる．中間モデルを用いることにより，少ない測定コストで，チップ内ばらつきとチップ間ばらつきの分離が可能となる．物理パラメータとしては  $V_{TH0}$ ， $K_P$ ， $L_{int}$ ， $W_{int}$  を用いる．中間モデルを介することで，特性ばらつきのモデル化の手順がMOSFETモデルに依存しない．

### 4.2.1 チップ内ばらつきモデルとチップ間ばらつきモデル

トランジスタ特性のばらつきを，チップ内ばらつき成分とチップ間ばらつき成分に分割してモデル化を行う．チップ内での特性の変動は，局所ばらつきと大域ばらつきの両方の影響を受ける．チップ内の狭い範囲において，大域ばらつき成分は一定であると近

似する．チップ内の狭い範囲からの測定値を用いる事で，局所ばらつきと大域ばらつきを分離する．ある一チップの測定値からは大域ばらつきによるチップ内での変動を知ることにはできないが，ウエハ上における複数のチップからの大域ばらつき成分を補間することで，ウエハ全体における大域ばらつきによる変動を再現する．本章では，測定点付近における局所ばらつきと大域ばらつきを扱う．区別のため，それぞれ，チップ内ばらつき，チップ間ばらつきと呼ぶ．断わりのない場合，チップ間ばらつき成分は，チップ内の狭い領域についてのみ議論し，チップ内では一定とする．

物理パラメータは，チップ内ばらつきとチップ間ばらつきの和として再現する．チップ内ばらつきとチップ間ばらつきは，それぞれ第3章で用いた局所ばらつきモデルと大域ばらつきモデルにより表す．チップ内ばらつきモデルとチップ間ばらつきモデルでは，ともに，物理パラメータ  $V_{TH0}$ ， $K_P$ ， $W_{int}$ ， $L_{int}$  のばらつきとそれらの相関のばらつきについて，統計的分布を与える．各モデルのモデルパラメータは実測した電流値から抽出する．

チップ内ばらつきモデルを以下の式 (4.1) ~ (4.4) で表す．ゲート寸法に依存してばらつきの大きさが変化する．

$$\sigma^2(V_{TH0_i}) = \frac{A_{V_{TH0}}}{W_i L_i} \quad (4.1)$$

$$\sigma^2(K_{P_i}) = \frac{A_{K_P}}{W_i L_i} \quad (4.2)$$

$$\sigma^2(W_{int_i}) = \frac{A_{W_{int}}}{L_i} \quad (4.3)$$

$$\sigma^2(L_{int_i}) = \frac{A_{L_{int}}}{W_i} \quad (4.4)$$

$\sigma(V_{TH0_i})$ ， $\sigma(K_{P_i})$ ， $\sigma(W_{int_i})$ ， $\sigma(L_{int_i})$  は， $i$  番目トランジスタにおける  $V_{TH0}$ ， $K_P$ ， $W_{int}$ ， $L_{int}$  の標準偏差を示す．ゲート寸法が小さくなるほど標準偏差は大きくなり，特性のばらつき幅は大きくなる． $W_i$ ， $L_i$  はトランジスタの実効ゲート寸法を示す． $A_{V_{TH0}}$ ， $A_{K_P}$ ， $A_{W_{int}}$ ， $A_{L_{int}}$  はプロセスごとに決定する定数である．

チップ間ばらつきは，以下の式 (4.5) によりモデル化する．

$$G_P(r) = A_P r^2 + B_P r \cos \alpha + C_P \quad (4.5)$$

添字  $P$  は，各物理パラメータ  $V_{TH0}$ ， $K_P$ ， $W_{int}$ ， $L_{int}$  を表す． $A_P$ ， $B_P$ ， $C_P$  がモデルパラメータとなる．パラメータの抽出においては，以下の式 (4.6) ~ (4.9) を用いる．

$$G_P(x, y) = a(x^2 + y^2) + bx + cy + d \quad (4.6)$$

$$A_P = a \quad (4.7)$$

$$B_P = \sqrt{b^2 + c^2} \quad (4.8)$$

$$C_P = d \quad (4.9)$$

#### 4.2.2 中間モデルを用いたばらつき成分の分離手法

ここでは，中間モデルを用いて，実測した電流値からチップ間ばらつき成分とチップ内ばらつき成分を分離する方法について提案する．

電流値について，チップ間ばらつき成分はチップ内では一定であり，チップ内ばらつき成分は異なるチップ間において分散が等しいと仮定する．電流値のチップ間ばらつき成分は，各チップにおける平均値である．チップ内ばらつき成分は，それぞれのトランジスタにおける電流値から，各チップにおける電流値の平均，つまり，チップ間ばらつき成分を引いたものである．トランジスタ電流値はゲート寸法に依存するため，平均値，分散は，同じ寸法の多数のトランジスタより計算する．

一方，中間モデルにおいて，物理パラメータを抽出するために，同一チップ上で隣接して配置されたゲート寸法の異なる 10 程度のトランジスタを用いる．チップ間，チップ内ばらつきを求めるにあたり，それらの異なる寸法のトランジスタも利用することで，少ない測定点数で平均，分散を得る方法について説明する．

中間モデルにおいて，電流特性のばらつきは物理パラメータ  $V_{TH0}$ ， $K_P$ ， $W_{int}$ ， $L_{int}$  によって表現する．電流と物理パラメータの関係は，中間モデルの以下の式で与えられる．

$$I_{DS} = \frac{W_e}{L_e} K_P \frac{(V'_{GST} - V'_{DS}/2) V'_{DS}}{1 + \theta \cdot V'_{GST}} \quad (4.10)$$

$$\begin{cases} V'_{DS} &= V_{DS} - R_{DS} \cdot I_{DS} \\ V'_{GST} &= V_{GS} - R_{DS}/2 \cdot I_{DS} - V_{TH} \end{cases} \quad (4.11)$$

$$\begin{cases} W_e &= W_{drawn} - 2W_{int} \\ L_e &= L_{drawn} - 2L_{int} \end{cases} \quad (4.12)$$

$I_{DS}$  はドレイン電流で， $V_{DS}$ ， $V_{GS}$  は，それぞれドレイン-ソース電圧，ゲート-ソース電圧である． $V'_{DS}$ ， $V'_{GS}$  は，それぞれ拡散部分での電圧降下を差し引いた実効的なドレイン-ソース電圧，ゲート-ソース電圧である． $W_{drawn}$  と  $L_{drawn}$  はそれぞれマスク上でのチャネル長およびチャネル幅である． $W_e$ ， $L_e$  はそれぞれ実効チャネル幅，実効チャネル長である．拡散抵抗  $R_{DS}$  および移動度低下係数  $\theta$  は，電流特性に対して感度が低いいため，プロセスごとの一定値とする． $V_{TH0}$  は BSIM3 モデルのパラメータで， $V_{TH}$  と  $V_{TH0}$  の関係は，BSIM3v3 のモデル式により求める [84, 85]．

中間モデルにおいて，各物理パラメータはゲート寸法が異なっても期待値は等しい [78–80, 93]．物理パラメータは，同一チップ内で寸法の異なる複数のトランジスタにつ

いて、それらの電流値より最小自乗法を用いて抽出する。物理パラメータは、チップ内ばらつきのため、トランジスタごとに異なる値を持つ。そのため、抽出された物理パラメータは、抽出に用いたトランジスタ間での平均値となる。電流値はトランジスタの寸法、バイアス条件によって異なるが、物理パラメータの平均値は、各寸法のトランジスタについて、それぞれの電流値の期待値、つまり、チップ間ばらつき成分を与える。

以下に、中間モデルを用いて、電流値についてのチップ内ばらつきとチップ間ばらつきを分離する手順を示す。各チップにおいて、中間モデルを用い、物理パラメータの平均値を求める。ここで求めた物理パラメータの平均値から、電流値のチップ間ばらつきを求める。次に、各寸法における電流値のチップ内ばらつきを求める。実測した電流値は、チップ内ばらつきとチップ間ばらつきの和である。各チップでの平均の物理パラメータを用いて、各トランジスタの電流値の期待値を求める。各トランジスタにおいて、実測した電流値から期待値を引くことで、電流値のチップ内ばらつき成分を求める。また、チップ内ばらつきモデルのパラメータ抽出には、4.2.4 節で提案する方法を用いる。

### 4.2.3 実測値からのばらつき成分の分離実験

CMOS 0.13 $\mu\text{m}$  プロセスで試作した TEG について、チップ間ばらつきとチップ内ばらつきによる電流値のばらつきを求める。TEG は、ウエハ全体での 56 チップに等間隔で配置する。図 4.2 に示すように、レチクル内での同一位置に配置する。1 つの TEG は 10 のトランジスタから構成される。図 3.14 の TEG と同様に、ソース端子、ゲート端子、バックゲート端子を共通とし、ドレイン端子をトランジスタごとに設ける。TEG 中のトランジスタの寸法を表 4.1 に示す。被測定トランジスタの周囲にはダミーパターンを配置し、レイアウト依存なばらつきの影響を受けない構造とした。ドレイン電圧  $V_{DS}$  が 0.1(V) で、ゲート電圧  $V_{GS}$  が 0~1.2(V) までのドレイン電流  $I_{DS}$  を測定し、各チップにおいて物理パラメータを抽出した。各チップでの物理パラメータは、それぞれのチップでの平均電流特性を与える。それらの平均電流特性が各チップでのチップ間ばらつき成分となる。ドレイン電流  $I_{DS}$  について、各チップにおける平均値、つまり、チップ間ばらつき成分を引いた値が、チップ内ばらつき成分となる。電流特性のチップ間ばらつきおよびチップ内ばらつきは、トランジスタ寸法、バイアス電圧ごとに求める。

nMOS について、ドレイン電圧  $V_{DS}$  が 0.1(V)、ゲート電圧  $V_{GS}$  が 0.8(V) でのチップ間ばらつきとチップ内ばらつきを図 4.3 に示す。横軸はトランジスタの種類で、表 4.1 の番号に対応する。縦軸は電流の平均値に対する標準偏差を任意単位で表したものである。チップ間ばらつきは、厳密には正規分布ではないが、比較のため正規分布として近似した。各物理パラメータのチップ内ばらつきはゲート寸法 ( $WL$  または  $W$ ,  $L$ ) に依存する。各物理パラメータの電流値への感度より、電流値のばらつきが決まる。チップ内ばらつきの大きさは、標準偏差で比較すると、チップ間ばらつきの 0.9~3.4 倍であった。

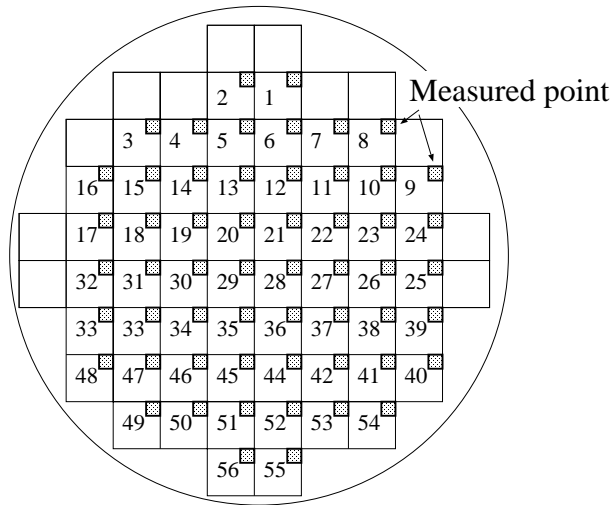


図 4.2: ウエハ上での TEG の配置

表 4.1: TEG におけるトランジスタ寸法

番号	$L$ ( $\mu\text{m}$ )	$W$ ( $\mu\text{m}$ )	番号	$L$ ( $\mu\text{m}$ )	$W$ ( $\mu\text{m}$ )
1	0.10	0.36	6	0.3	10
2	0.10	0.6	7	1	10
3	0.10	10	8	10	0.3
4	0.13	10	9	10	0.4
5	0.18	10	10	10	0.6

#### 4.2.4 チップ内ばらつきモデルパラメータの直接抽出手法

本節では、実測した電流値の標準偏差から、チップ内ばらつきのモデルパラメータを抽出する方法を提案する．抽出するパラメータは、物理パラメータ  $V_{TH0}$  ,  $K_P$  ,  $W_{int}$  ,  $L_{int}$  についてのチップ内ばらつきモデルパラメータ  $A_n$  , 物理パラメータ間の相関についてのモデルパラメータ  $A_{nm}$  である．添字の  $n$  もしくは  $m$  は、1 から 4 までの整数で、順に物理パラメータの  $V_{TH0}$  ,  $K_P$  ,  $W_{int}$  ,  $L_{int}$  を示す． $A_{nm}$  は、 $A_n$  と  $A_m$  に関する相関を表す． $A_n$  ,  $A_{nm}$  は、nMOS , pMOS それぞれについて求める．

1 つのチップ上にある複数のトランジスタについて順に番号を割り振る．複数のチップに対して、 $j$  番目のチップの  $i$  番目のトランジスタの電流値を  $I_{ij}$  とする．MOSFET モデルパラメータからなる列ベクトル  $p_{ij}$  とバイアス条件からなる列ベクトル  $b_{ij}$  により、 $I_{ij}$  を以下の式で表す．

$$I_{ij} = f(p_{ij}, b_{ij}) \quad (4.13)$$

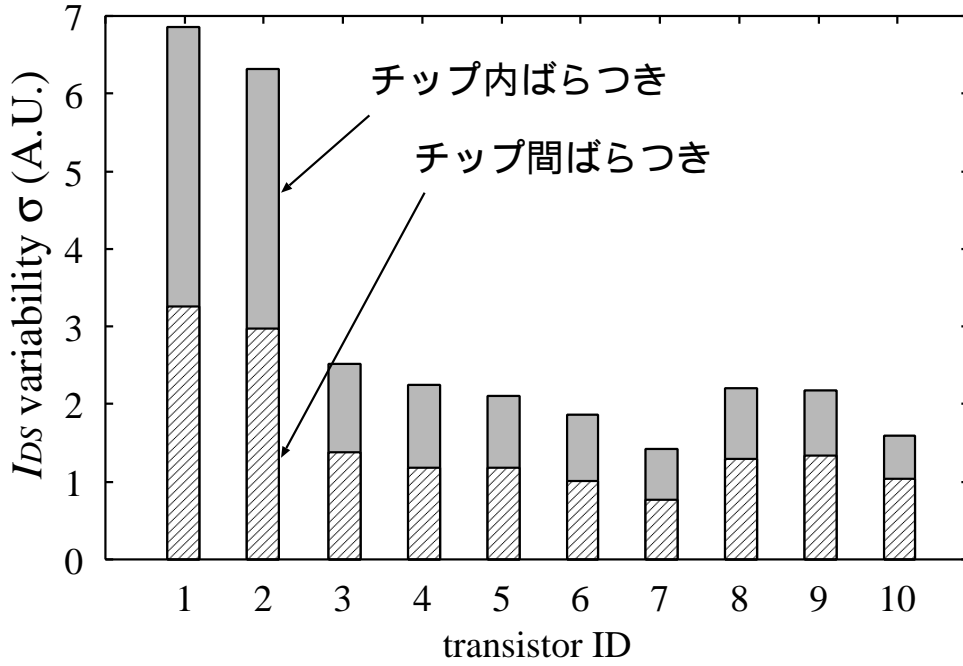


図 4.3: 電流値におけるチップ内ばらつきとチップ間ばらつきの割合

以下の議論において，関数  $f$  は MOSFET モデル一般について成り立つが，ここでは中間モデルを想定する． $p_{ij}$  は，チップ間ばらつき成分  $g_{ij}$ ，チップ内ばらつき成分  $r_{ij}$ ，平均値  $\mu_i$  の和で表される．

$$p_{ij} = \mu_i + g_{ij} + r_{ij} \quad (4.14)$$

トランジスタ特性における製造ばらつきの大きさは，経験的に平均値の 15% 程度である．チップ内ばらつき  $r_{ij}$  が平均値  $\mu_i$  に比べて十分小さいと近似して，電流値に対するチップ内ばらつきの感度を 1 次で表す．チップ内ばらつきによる電流値の変動成分  $\Delta I_{ij}$  について，以下の関係が求まる．

$$\Delta I_{ij} = I_{ij} - f(g_{ij} + \mu_i, b_{ij}) \quad (4.15)$$

$$\simeq \frac{\partial f(g_{ij} + \mu_i, b_{ij})}{\partial \mathbf{r}} \mathbf{r}_{ij} \quad (4.16)$$

各パラメータの感度を要素とする行ベクトル  $\frac{\partial f}{\partial \mathbf{r}}$  を用いて，電流値の分散は以下の式で表される．

$$\sigma^2(\Delta I_i) = \overline{\Delta I_i^2} - \overline{\Delta I_i}^2 \quad (4.17)$$

$$= \overline{\Delta I_i^2} \quad (4.18)$$

$$= \overline{\left( \frac{\partial f}{\partial \mathbf{r}} \mathbf{r}_i \right)^2} \quad (4.19)$$

$$= \overline{\left( \sum_n \frac{\partial f_i}{\partial r_n} r_{i,n} \right)^2} \quad (4.20)$$

$$= \sum_n \left( \frac{\partial f_i}{\partial r_n} \right)^2 \overline{r_{i,n}^2} + \sum_n \sum_{m \neq n} \left( \frac{\partial f_i}{\partial r_n} \frac{\partial f_i}{\partial r_m} \right) \overline{r_{i,n} r_{i,m}} \quad (4.21)$$

$$= \sum_n \left( \frac{\partial f_i}{\partial r_n} \right)^2 \overline{r_{i,n}^2} + \sum_n \sum_{m \neq n} \left( \frac{\partial f_i}{\partial r_n} \frac{\partial f_i}{\partial r_m} \right) \overline{r_{i,n} r_{i,m}} \quad (4.22)$$

$$= \sum_n \left( \frac{\partial f_i}{\partial r_n} \right)^2 \sigma^2(r_{i,n}) + \sum_n \sum_{m \neq n} \left( \frac{\partial f_i}{\partial r_n} \frac{\partial f_i}{\partial r_m} \right) \sigma(r_{i,n} | r_{i,m}) \quad (4.23)$$

ただし,

$$\frac{\partial f_i}{\partial r_n} = \frac{\partial f(\mathbf{g}_i + \boldsymbol{\mu}_i, \mathbf{b}_i)}{\partial r_n} \quad (4.24)$$

である． $r_{i,n}$  は  $\mathbf{r}_i$  の  $n$  列目の要素を示す． $\sigma(r_{i,n})$  は  $r_{i,n}$  の分散で， $\sigma(r_{i,n} | r_{i,m})$  は  $r_{i,n}$  と  $r_{i,m}$  の共分散である．電流値の計算に使用する MOSFET モデルを  $\mathbf{r}$  の各要素で微分することで， $\frac{\partial f}{\partial \mathbf{r}}$  を求める．一般に  $\frac{\partial f}{\partial \mathbf{r}}$  はトランジスタ寸法  $W_i$ ， $L_i$  およびバイアス条件  $\mathbf{b}_{ij}$  についての関数となる．式 (4.23) に式 (4.1) ~ (4.4) を代入した式において，トランジスタ寸法  $W_i$ ， $L_i$  およびバイアス条件  $\mathbf{b}_{ij}$  について解くと，モデルパラメータ  $A_n$ ， $A_{nm}$  が求まる．

#### 4.2.5 チップ内ばらつきモデルのパラメータ抽出実験

4.2.3 節において分離したトランジスタ特性のチップ内ばらつき成分に対して，パラメータの抽出を行う．計算式 (4.23) により， $V_{TH0}$ ， $K_P$ ， $W_{int}$ ， $L_{int}$  に対するモデルパラメータ  $A_n$ ， $A_{nm}$  を求める．抽出に用いたトランジスタは 4.2.3 節と同じもので，ドレイン電圧  $V_{DS}$  が 0.1(V)，ゲート電圧  $V_{GS}$  が 0.6，0.7，0.8，0.9，1.0(V) におけるドレイン電流  $I_{DS}$  のチップ内ばらつき成分を用いた．パラメータの合せ込みには特異値分解法 (SVD) を用いた．

抽出したパラメータから電流値のばらつきを再現したものを図 4.4 に示す．横軸はトランジスタの種類である．縦軸は，電流の平均値に対する標準偏差を任意単位で表した値である．ドレイン電圧  $V_{DS}$  が 0.1(V)，ゲート電圧  $V_{GS}$  が 1.0(V) のものを示した．図中の Target が 4.2.3 節で求めた値で，Modeled がモデルにより再現した値である．Target の値に対する Modeled の値のモデル化誤差は，平均 11% であった．



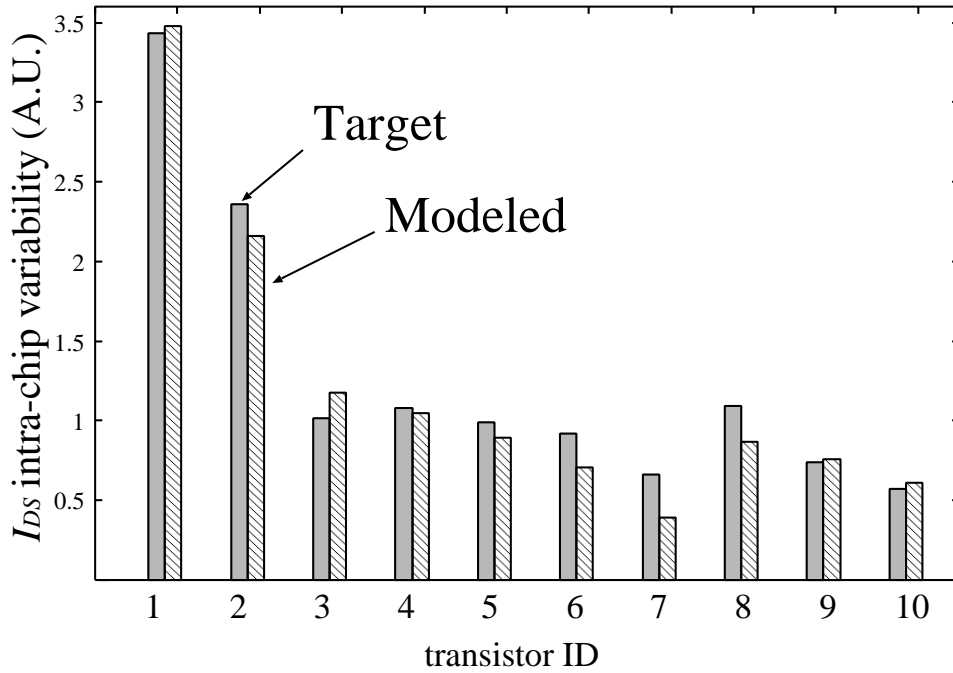


図 4.4: チップ内ばらつきモデル化における抽出誤差

### 4.3 チップ内ばらつきを考慮した遅延時間の解析

本節では、4.2 節で求めたモデルパラメータの精度検証を行う。論理回路の遅延時間ばらつきが論理段数に依存することを利用し、段数の異なる複数のリングオシレータから実測した発振周期のばらつきと、提案手法により求めた発振周期のばらつきを比較する。

まず、トランジスタ特性のばらつきからパス遅延を求める方法について示す。論理回路において、あるパスの遅延時間は、構成する各ゲートでの遅延時間の和となる。各ゲートの遅延時間は応答曲面法 (RSM<sup>1</sup>) を用いてモデル化する [94, 95]。遅延時間のばらつきにおいて、論理段数が長くなるほどチップ内ばらつき成分は平均化されるため、段数の長いパスの方が相対的にばらつきが小さくなる事を示す。

実測に用いたリングオシレータの TEG では配線負荷は小さく、発振周期のばらつきはトランジスタ特性のばらつきにより求まる。提案手法により求めたトランジスタ特性のばらつきから、遅延時間のばらつきを求める。2 種類の段数の異なるリングオシレータについて実測値のばらつきと比較を行う。

<sup>1</sup>Response Surface Method

### 4.3.1 応答曲面法を用いた統計遅延解析

トランジスタ特性のチップ内ばらつきとチップ間ばらつきを考慮して，ゲート1段あたりの遅延を求めるために，RSMを用いる．RSMによりトランジスタ特性と遅延時間の関係を解析式で表す．複数の入力を持つゲートにおいて，出力に影響のある入力のうち，一番最後に遷移したものによって，遅延時間が決定する [60, 61]．ここでは，各入力について最終到達パスが一意である場合もしくは入力が1つである場合を扱う．

トランジスタ特性を列ベクトル  $p$  で表す． $p$  の要素は， $V_{TH}$  や  $\beta$  などの MOSFET モデルパラメータや中間モデルにおける物理パラメータである．1 次の RSM として，行ベクトル  $d$  を考える． $d$  の各要素は， $p$  のそれぞれ対応する要素への感度となる．遅延時間  $D$  について， $p$  の近傍において  $D = dp$  が成り立つ．ゲート特性  $d$  はゲートの種類，前段，次段の特性によって決定する．パス全体での遅延時間は各段の遅延時間の和になる． $n$  段のパスにおいて， $i$  段目のゲート特性を  $d_i$ ，トランジスタ特性を  $p_i$  とすると，パス全体の遅延時間  $D$  は，以下の式により求まる．

$$D = \sum_i^n d_i p_i \quad (4.25)$$

ここで，トランジスタ特性について，チップ間ばらつきとチップ内ばらつきを考える．トランジスタ特性のチップ間ばらつき成分は厳密には正規分布とはならないが，簡単のために，チップ間ばらつき成分を正規分布として近似する．チップ間ばらつきとチップ内ばらつきは独立で，チップ内ばらつきの分散はどのチップにおいても一定であると仮定する．

これ以降では，回路中のある特定のパスについて，そのパスの段数を  $n$  段とし， $m$  個のチップについて考える． $m$  個のチップのうち  $j$  番目のもので， $i$  段目のゲートにおけるトランジスタ特性について，チップ間ばらつき成分，チップ内ばらつき成分，平均値をそれぞれ  $g_j$ ， $r_{ij}$ ， $\mu$  とする．チップ間ばらつきの平均値  $\overline{g_j}$  とチップ内ばらつきの平均値  $\overline{r_{ij}}$  は0とする．

$$\overline{g_j} = \overline{r_{ij}} = 0 \quad (4.26)$$

各ゲートの遅延時間は，行ベクトル  $d_i$  を用いて， $d_i(g_j + r_{ij} + \mu)$  で与えられるとすると， $n$  段のパスについての遅延時間  $D_j$  は以下の式で求められる．

$$D_j = \sum_i^n d_i(g_j + r_{ij} + \mu) \quad (4.27)$$

チップ間ばらつき成分はチップ内で一定値と仮定すると，任意のパスについて遅延時間の平均値  $\overline{D}$  は，以下の式により求まる．

$$\bar{D} = \lim_{m \rightarrow \infty} \frac{1}{m} \sum_j^m \sum_i^n d_i (g_j + r_{ij} + \mu) \quad (4.28)$$

$$= \lim_{m \rightarrow \infty} \frac{1}{m} \left\{ \sum_j^m g_j \sum_i^n d_i + \sum_i^n \left( d_i \sum_j^m r_{ij} \right) + m\mu \sum_i^n d_i \right\} \quad (4.29)$$

$$= \mu \sum_i^n d_i \quad (4.30)$$

以上から，遅延時間の分散  $\sigma^2(D)$  は以下の式により求まる．

$$\sigma^2(D) = \overline{D^2} - \bar{D}^2 \quad (4.31)$$

$$= \lim_{m \rightarrow \infty} \frac{1}{m} \sum_j^m D_j^2 - \left( \lim_{m \rightarrow \infty} \frac{1}{m} \sum_j^m D_j \right)^2 \quad (4.32)$$

$$= \lim_{m \rightarrow \infty} \frac{1}{m} \sum_j^m \left\{ \sum_i^n d_i (g_j + r_{ij} + \mu) \right\}^2 - \left( \mu \sum_i^n d_i \right)^2 \quad (4.33)$$

$$= \lim_{m \rightarrow \infty} \frac{1}{m} \sum_j^m \left\{ \left( \sum_i^n d_i g_j \right)^2 + \left( \sum_i^n d_i r_{ij} \right)^2 + 2 \sum_i^n d_i g_j \sum_i^n d_i r_{ij} \right. \\ \left. + 2 \sum_i^n d_i r_{ij} \sum_i^n d_i \mu + 2 \sum_i^n d_i \mu \sum_i^n d_i g_j \right\} \quad (4.34)$$

$$= \lim_{m \rightarrow \infty} \frac{1}{m} \sum_j^m \left\{ \left( \sum_i^n d_i \right)^2 g_j^2 + \left( \sum_i^n d_i r_{ij} \right)^2 \right\} \quad (4.35)$$

$$= \left( \sum_i^n d_i \right)^2 \overline{g^2} + \lim_{m \rightarrow \infty} \frac{1}{m} \sum_j^m \left( \sum_i^n (d_i r_{ij})^2 + \sum_i^n \sum_{k \neq i}^n d_i r_{ij} d_k r_{kj} \right) \quad (4.36)$$

$$= \left( \sum_i^n d_i \right)^2 \overline{g^2} + \lim_{m \rightarrow \infty} \frac{1}{m} \sum_j^m \sum_i^n (d_i r_{ij})^2 \quad (4.37)$$

$$= \left( \sum_i^n d_i \right)^2 \overline{g^2} + \sum_i^n d_i^2 \overline{r^2} \quad (4.38)$$

複数入力を持つゲートの影響を無視した場合，遅延時間の分散は，式(4.38)により与えられる．式(4.38)の第1項，第2項はそれぞれチップ間ばらつき，チップ内ばらつきによる遅延時間の変動分を表す．論理の段数が多くなるほど，遅延ばらつきに占めるチップ内ばらつきの割合は小さくなる．

### 4.3.2 リングオシレータにおける遅延時間ばらつき

リングオシレータの遅延時間のばらつきについて考える．リングオシレータのように，同じ種類のゲートのみで構成される場合，各段での遅延時間の期待値は等しい．式 (4.38) は以下のように変形できる．

$$d_i = d \quad (4.39)$$

$$\sigma^2(D) = \left( \sum_i^n d \right)^2 \overline{g^2} + \sum_i^n d^2 \overline{r^2} \quad (4.40)$$

$$= n^2 d^2 \overline{g^2} + n d^2 \overline{r^2} \quad (4.41)$$

$d^2 \overline{g^2}$  ,  $d^2 \overline{r^2}$  は，1 段あたりのチップ間ばらつき，チップ内ばらつきによる遅延時間の変動成分である．チップ間ばらつきとチップ内ばらつきを考慮した場合の遅延時間の分散について，チップ間ばらつきの影響は段数の自乗に比例し，チップ内ばらつきの影響は段数に比例する．

### 4.3.3 シミュレーションと実測の比較

リングオシレータの発振周波数について，4.2 節で求めたモデルパラメータからシミュレーションにより求めた遅延時間と TEG の実測結果とを比較する．リングオシレータ TEG での配線負荷は小さく，発振周波数ばらつきはトランジスタ特性のばらつきで決まる．

リングオシレータの TEG は 23 段と 73 段のものがある．ウエハ全体で 56 チップに配置され，1 チップあたり各 24 のリングオシレータからなる．測定した発振周波数から，リング 1 周あたりの遅延時間を求める．各チップで平均値をとり，その値からウエハ全体について求めた分散を，遅延時間のチップ間ばらつき成分とした．すべての測定値から求めた分散は，チップ間ばらつきの分散とチップ内ばらつきの分散の和である．すべての測定値による分散からチップ間ばらつきによる分散を引いたものを，遅延時間のチップ内ばらつき成分とした．

チップ内ばらつきおよびチップ間ばらつきによる遅延時間のばらつきは式 (4.41) より，それぞれ  $n^2 d^2 \overline{g^2}$  ,  $n d^2 \overline{r^2}$  となる．1 段あたりの遅延時間ばらつき  $d^2 \overline{g^2}$  および  $d^2 \overline{r^2}$  は，簡単のため，遅延時間ばらつきの平均遅延時間に対する割合と，トランジスタの電流値ばらつきの平均電流値に対する割合が等しいとして求めた．平均遅延時間は，回路シミュレータで求めることができるが，ここでは実測の平均値を用いた．トランジスタ特性のばらつきは，中間モデルにより計算した．チップ内ばらつきについては，4.2.5 節で求めたばらつきモデルパラメータを用い，チップ内ばらつきモデルにより再現した．チップ間ばらつきは 4.2.3 節で求めた値を用いた．

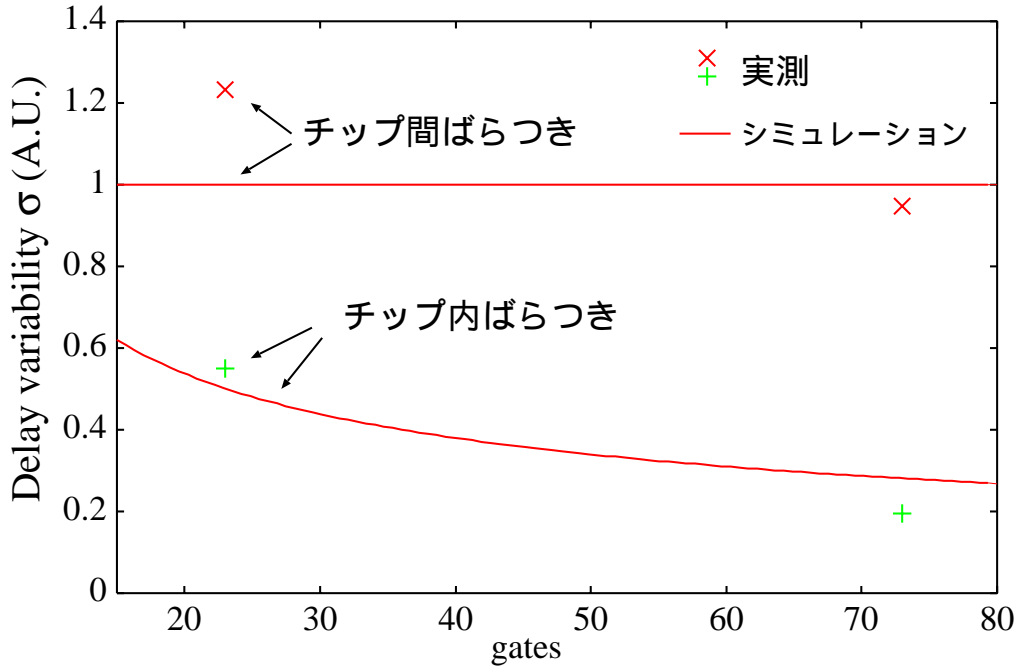


図 4.5: 遅延時間の変動 (標準偏差) とパス段数の関係

リングオシレータの遅延時間について、チップ内ばらつき、チップ間ばらつきとパス段数の関係を図 4.5 に示す。横軸は段数を示す。縦軸は遅延時間のばらつきで、チップ間ばらつきのシミュレーション値により正規化した。

実測について、解析式 (4.41) のとおり、段数に依存してチップ内ばらつきが小さくなる傾向が得られた。チップ間ばらつきについて、実測とシミュレーションでの誤差が大きい。原因としては提案手法の問題点と測定での問題点がある。提案手法によるものとして、シミュレーションで遅延時間のばらつきを電流値のばらつきで代用したこと、チップ間ばらつきがチップ内において一定で正規分布であると近似したことが考えられる。測定での問題としては、実測したチップ数が少なく、チップ内ばらつきとチップ間ばらつきが完全に分離できていないことが考えられる。

## 4.4 むすび

本章では、3 章で提案した局所ばらつきモデルと大域ばらつきモデルのモデルパラメータを抽出する手法について説明した。

モデルパラメータの抽出において、局所ばらつきと大域ばらつきの分離が重要である。チップ内でのばらつきは、局所ばらつきと大域ばらつきが影響するが、チップ内の狭い領域からの測定値を用いることで、局所ばらつきと大域ばらつきを分離する。チップ内

での変動成分とチップ間での変動成分に注目することから，区別のために，この狭い領域での局所ばらつきと大域ばらつきを，それぞれチップ内ばらつきとチップ間ばらつきと呼んだ．

従来手法では MOSFET モデルパラメータについてチップ間ばらつきおよびチップ内ばらつきを分離してモデル化するため，パラメータによっては両ばらつき成分の分離が困難であった．提案手法では，物理パラメータについてではなく，電流値についてチップ間ばらつきとチップ内ばらつきの分離を行う．ばらつき成分の分離において中間モデルを用いることで，チップ間ばらつきとチップ内ばらつきを少ない測定コストで分離することが可能となった．

分離の過程において，各チップにおける物理パラメータの平均値，つまり，チップ間ばらつき成分が求まる．各チップにおけるチップ間ばらつき成分とウエハ上での位置を用いて，チップ間ばらつきモデルのモデルパラメータを求める．チップ内ばらつきモデルのモデルパラメータ抽出のために，分離した電流値のチップ内ばらつき成分から，物理パラメータのチップ内ばらつきを求める必要がある．各物理パラメータにおける電流値への感度を用いることで，電流値のチップ内ばらつき成分から，直接チップ内ばらつきモデルのモデルパラメータを抽出する方法を提案した．

実測した電流値について，チップ内ばらつきとチップ間ばらつきを分離する実験を行った．チップ内ばらつきによる電流値ばらつきの標準偏差は，チップ間ばらつきのものと比べ 0.9~3.4 倍であった．分離したチップ内ばらつきについて，モデルパラメータの抽出を行った．平均のモデル化誤差は 11% であった．

提案手法の精度検証のために，リングオシレータの発振周波数ばらつきと提案モデルの比較を行った．論理回路の遅延時間について，チップ内ばらつきとチップ間ばらつきを考慮した場合の遅延の分散を求める式を導出した．遅延モデルの導出において，チップ内ばらつきとチップ間ばらつきは，簡単のため正規分布と仮定した．論理回路の遅延ばらつきについて，段数が長くなるほど，チップ内ばらつき成分は平均化されて小さくなることを示した．実測結果において，段数に依存してチップ内ばらつきが小さくなる傾向を得た．



## 第5章

---

# チップ内ばらつきを考慮した統計的遅延解析手法

---

### 5.1 まえがき

本章では，チップ内ばらつきとチップ間ばらつきを考慮して統計遅延解析を行うための遅延モデルを提案する．

近年の製造プロセスの微細化に伴ない，弊害としての素子特性のばらつきが増大している．デジタル回路のばらつき解析では，素子ばらつきについてチップ間のばらつきのみを考慮する場合が多い．トランジスタ特性はチップ内で均一であると仮定していたが，実際にはチップ内でもトランジスタ特性は変動する [1–4, 6, 13, 15, 16, 21, 49, 65]．近年の特性ばらつきの増大により，デジタル回路の遅延ばらつきについても，チップ間ばらつきと同様に，チップ内ばらつきが歩留りに大きく影響することが知られている [11–13, 49, 50]．チップ内ばらつきをも考慮した統計遅延解析の手法が必要である．

チップ内ばらつきを考慮した統計遅延解析の手法が提案されている [58–64]．これらの手法を用いて回路遅延のばらつきを高精度に解析するためには，各ゲートの遅延ばらつきを正確に求める必要がある．各ゲート遅延の変動幅は，回路遅延の変動幅に直接影響する．これまでに報告されている手法では，遅延時間のチップ内ばらつきは，平均値に対する  $\pm 15\%$  や  $\pm 20\%$  といった固定の割合で最悪値を決めている．しかし，平均値に対する最悪値の比は一定ではなく，ゲートの種類や，出力の立ち上り立ち下り時によっても異なる．これは，ゲート内におけるトランジスタ間の相対的なばらつきの影響である．遅延時間のばらつきは，負荷容量を充放電する電流が流れているトランジスタの特性が影響する．充放電のためのトランジスタが複数ある場合は，それらが独立して変動する効果を考慮する必要がある．このばらつきを特にゲート内ばらつきと呼ぶ．ゲート内ばらつきは，ゲート遅延のばらつきに大きく影響する．ゲート内ばらつきを考慮して，個々のゲート遅延ばらつきを正確に見積もることが重要である．本章では，ゲート内ばらつきを考慮して，ゲート遅延ばらつきを再現するためのモデルを提案する．



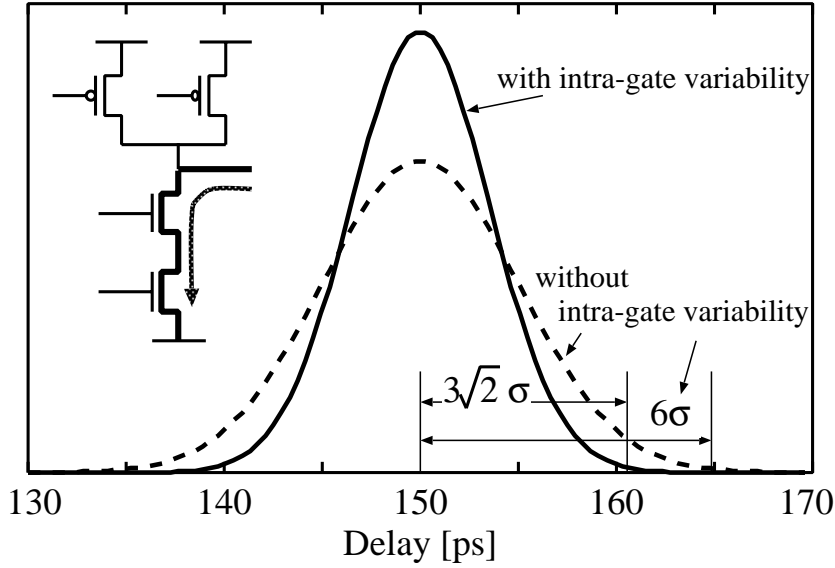


図 5.1: 2 入力 NAND の立下りにおける遅延ばらつき分布

ゲート内ばらつきの遅延時間への影響を、2 入力 NAND ゲートの遅延時間を例に説明する。立下りの遷移時において、負荷容量を放電するための電流は、図 5.1 に示すように、直列に接続された 2 つの nMOS を流れる。そのため、遅延時間は直列に接続された複数のトランジスタ特性の影響を受けてばらつく。簡単のため、各 nMOS トランジスタによる遅延ばらつきの標準偏差を  $\sigma$  とし、各トランジスタによる遅延変位の和で全体の遅延変位が決まると仮定する。ゲート内ばらつきとして、各ゲートが独立してばらつくことを考慮すると、NAND ゲート全体での遅延ばらつきの分散は  $2\sigma^2 (= \sigma^2 + \sigma^2)$  となる。ゲート内ばらつきを考慮しない場合の遅延ばらつきは  $4\sigma^2 (=(\sigma + \sigma)^2)$  となり、ゲート内ばらつきは多大な誤差の原因となる。

ゲート内ばらつきを考慮した遅延のモデル化において、各トランジスタがそれぞれ独立してばらつく事を考慮する必要がある。各トランジスタにそれぞれ変動変数を割当てると、トランジスタ数の多いゲートにおいては非常に多くの変動変数が必要となる。変動変数の増大は、計算コストの面で好ましくない。提案モデルでは、複数の正規分布の和が、統計的にある 1 つの正規分布で表される事に基づき、変動変数の削減を行った。

5.2 節では、トランジスタ特性のモデル化について説明する。5.3 節では、提案する遅延モデルについて説明する。変動変数を削減する際に各トランジスタの感度を考慮するが、5.4 節では、その感度係数を求める方法について説明する。5.5 節では、具体的な回路を例にとり、ゲート内ばらつきを考慮する場合としない場合で、遅延分布に差がでることを示す。5.6 節では、結論を述べる。

## 5.2 トランジスタ特性のモデル化

本節では，トランジスタ特性ばらつきのモデル化の方法について説明する．トランジスタ特性のばらつきは，物理パラメータである閾値電圧  $V_{TH0}$ ，ゲイン  $K_P$ ，チャネル幅変位  $W_{int}$ ，チャネル長変位  $L_{int}$  のばらつきにより表す．トランジスタ特性をベクトル  $p = (p_1, p_2, \dots, p_n)^T$  で表す． $p_1, \dots, p_n$  は nMOS, pMOS のそれぞれについての物理パラメータ  $V_{TH0}$ ,  $K_P$ ,  $W_{int}$ ,  $L_{int}$  とする．この場合，パラメータ数  $n$  は 8 となる．また，チップ間ばらつきとチップ内ばらつきを考慮して，トランジスタ特性  $p$  は，平均  $\mu$ ，チップ間ばらつき成分  $p_g$ ，チップ内ばらつき成分  $p_r$  の和で表す．

$$p = \mu + p_g + p_r \quad (5.1)$$

ゲート内の各トランジスタの特性について，チップ内ばらつきをゲート内での独立変動成分とし，チップ間ばらつきをゲート内での共通成分とする．チップ内ばらつきとチップ間ばらつきは，互いに独立な正規分布とする．チップ間ばらつき成分は，チップ内では一定であるとする．チップ内ばらつきは局所ばらつきモデルから求め，ゲート寸法が小さくなるほど，ばらつきが大きくなることを考慮する．

## 5.3 ゲート遅延ばらつきのモデル化

本節では，ゲート遅延ばらつきモデルを提案する．トランジスタ特性のチップ間，チップ内ばらつきを考慮して，ゲート遅延ばらつきのチップ間，チップ内ばらつきを再現する．

トランジスタ特性のばらつきと遅延時間の関係を求める必要があるが，そのために，応答曲面法 (RSM) による手法を用いる [95]．この手法では，ゲート内すべてのトランジスタに共通の変動変数を割当てて，遅延時間は，遷移時間と負荷容量にも依存するため，応答曲面の係数は，入力の変移時間と負荷容量からなるテーブルをひくことで求める．トランジスタのチップ間ばらつき成分は，ゲート内のすべてのトランジスタにおいて共通なので，トランジスタのチップ間ばらつきに対する遅延時間の変動は，応答曲面モデルから求める事ができる．

トランジスタ特性のゲート内ばらつきを考慮するためには，セル内のトランジスタすべてについて遅延時間への影響を調べる必要がある．ゲート内ばらつきを考慮するために，応答曲面モデルにおいて，各トランジスタに別々の変動変数を割当てると，応答曲面の生成コストと応答曲面を利用する際のコストが増大してしまう．各トランジスタ特性から遅延時間への感度を表す感度係数  $s_k$  を導入する事で，少ない変動変数でゲート内ばらつきを表現できる統計遅延モデルを提案する．

### 5.3.1 テーブル参照による遅延時間応答曲面モデル

テーブル参照を用いた応答曲面モデルの生成および利用方法について説明する [95] . 応答曲面モデルは , 物理パラメータと遅延時間の関係を最小自乗法により結びつける経験的なものである . ここでは一次式のモデルを用いる . トランジスタ特性を物理パラメータからなるベクトル  $\mathbf{p} = (p_1, p_2, \dots, p_n)^T$  で表す . 遅延時間  $t_d$  は以下の一次関数で表すことができる .

$$t_d = \text{rsm}(\mathbf{p}) \quad (5.2)$$

$$= b_0 + (b_1 \ b_2 \ \cdots \ b_n) \begin{pmatrix} p_1 \\ \vdots \\ p_n \end{pmatrix} \quad (5.3)$$

$$= b_0 + \mathbf{b}^T \mathbf{p} \quad (5.4)$$

応答曲面は , 遷移時間と負荷容量にも依存する . 遅延時間は , 遷移時間や負荷容量の変化に対して非線形に変動する . そのため , 低次の応答曲面で , 遷移時間や負荷容量から遅延時間をモデル化すると , 誤差が大きくなる . そこで , 応答曲面の各係数  $b_1, \dots, b_n$  は , 入力の変移時間と負荷容量からなるテーブルをひくことで求める . つまり , ばらつきを考慮しない静的遅延解析 (STA) では係数  $b_0$  だけをテーブルから求めるのに対して , 各物理パラメータに対応する係数  $b_1, \dots, b_n$  もテーブルから求めるのが特徴である [95] .

応答曲面モデルは , 物理パラメータのばらつきとそれに対応する遅延時間を複数シミュレーションすることで生成する . 応答曲面モデルを , 複数の遷移時間と負荷容量に対して求めることで , 係数テーブルを生成する . 係数テーブルは , セルの種類 , 遷移する入力ピン , 立上り , 立下りごとに作成する .

遅延解析を行う際には , これらの係数テーブルをひくことで , 応答曲面関数  $b$  を求める . テーブル参照の概念を図 5.2 に示す . 負荷容量と入力遷移時間の条件からテーブルを補間する . ここで , 係数を  $b_i$  , 負荷容量  $C$  , 入力遷移時間  $T_t$  としたとき , モデル式を

$$b_i = \alpha + \beta C + \gamma T_t + \delta CT_t \quad (5.5)$$

とする . 補間のために必要な 4 つの未知数  $\alpha, \beta, \gamma, \delta$  は , 隣接する 4 つのテーブルの値 (図 5.2) を式 (5.5) に代入し 4 元連立方程式を解くことで得る .

### 5.3.2 ゲート内ばらつきを考慮した遅延モデル

ここでは , 提案する遅延モデルの導出を行う . 変動変数の縮約を 2 段階で行う . 統計的に , 複数の正規分布の和が別の正規分布で表されることを利用し , 正規分布を合成することで変動変数を削減する . まず , 式 (5.4) をチップ間ばらつき成分とチップ内ばらつ

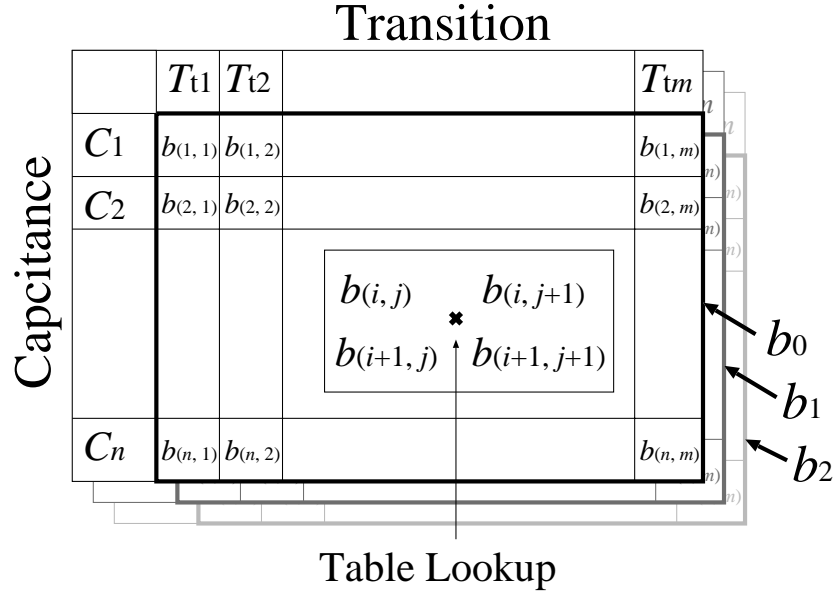


図 5.2: テーブル参照モデルの概念

き成分について考える．各トランジスタのチップ内ばらつき成分は，1 つの変動変数で表現できることを示す．次に，ゲート内ばらつきを考慮するために，各トランジスタに対して変動変数を割り振る．各トランジスタの感度を考える事で，チップ内ばらつきについて，ゲートごとに変動変数を 1 つに縮約する．

簡単のため，まず，トランジスタが nMOS, pMOS，それぞれ一つずつの場合について議論する．トランジスタ特性  $p$  について，平均  $\mu$ ，チップ間ばらつき成分  $p_g$ ，チップ内ばらつき成分  $p_r$  を考えると，遅延時間  $t_d$  は以下の式で表される．

$$t_d = b_0 + \mathbf{b}^T \mathbf{p} \quad (5.6)$$

$$= b_0 + \mathbf{b}^T (\mu + p_g + p_r) \quad (5.7)$$

一般に物理パラメータ間には相関がある．互いに無相関な標準正規分布  $N(0, 1)$  を各要素に持つベクトル  $\mathbf{x}_g$  を用いて，各要素間に相関を持ったベクトル  $\mathbf{p}_g$  は，主成分分析により以下のようにモデル化できる [79, 88, 96]．

$$\mathbf{p}_g = \mathbf{D}_g \mathbf{U}_g \mathbf{\Lambda}_g^{1/2} \mathbf{x}_g \quad (5.8)$$

$\mathbf{D}$  は物理パラメータの標準偏差を要素にもつ対角行列， $\mathbf{U}$  は物理パラメータの相関行列の固有ベクトルから成る行列， $\mathbf{\Lambda}$  は物理パラメータの相関行列の固有値を成分とする対角行列である．チップ内ばらつき成分  $p_r$  についても，同様に無相関な標準正規分布ベクトル  $\mathbf{x}_r$  で表すことができる．

$$t_d = b_0 + \mathbf{b}^T \mu + \mathbf{b}^T \mathbf{D}_g \mathbf{U}_g \mathbf{\Lambda}_g^{1/2} \mathbf{x}_g + \mathbf{b}^T \mathbf{D}_r \mathbf{U}_r \mathbf{\Lambda}_r^{1/2} \mathbf{x}_r \quad (5.9)$$

$$= t_0 + \tau_g^T x_g + \tau_r^T x_r \quad (5.10)$$

チップ内ばらつき  $\tau_r^T x_r$  の各要素は、独立な正規分布の和であるため、統計的に一変動変数で代表する事が可能である。遅延時間  $t_d$  を以下の式で表す。

$$t_d = t_0 + \tau_g^T x_g + \tau_r x_r \quad (5.11)$$

$t_0, \tau_g, \tau_r$  は以下の式により求める。

$$t_0 = b_0 + b^T \mu \quad (5.12)$$

$$\tau_g^T = b^T D_g U_g \Lambda_g^{1/2} \quad (5.13)$$

$$\tau_r = \sigma(\tau_r x_r) = \sigma(b^T p_r) \quad (5.14)$$

$t_0$  は平均遅延時間である。チップ内ばらつき  $x_r$  は平均値が0、分散が1の乱数で、チップ間ばらつき  $x_g$  は各要素の平均値が0、分散が1の乱数ベクトルである。また、チップ間ばらつき成分  $x_g$  は、同一チップ内の全ゲート間で共有するため、変数を縮約することはできない。

次に、ゲート内ばらつきを考慮した変動変数の削減方法について説明する。ここまでは、単一トランジスタの場合を扱ったが、一般に、各トランジスタに対して、それぞれ応答曲面関数  $b_k^T p_k$  を割り振ると、遅延時間  $t_d$  は以下の式で表される。

$$t_d = b_0 + b_1^T p_1 + b_2^T p_2 + \dots + b_k^T p_k + \dots + b_m^T p_m \quad (5.15)$$

$$= b_0 + \sum_k^m b_k^T \mu + \sum_k^m b_k^T p_g + \sum_k^m b_k^T p_{rk} \quad (5.16)$$

各トランジスタに対して応答曲面  $b_k$  を求めるのは、計算コストが高い。ゲート内のすべてのトランジスタが相関を持って一様に変動する場合の応答曲面、つまり、ゲート内ばらつきを考えない場合の応答曲面  $b$  を用いることを考える。応答曲面  $b$  と応答曲面  $b_k$  には以下の関係がある。

$$b^T = \sum_k^m b_k^T \quad (5.17)$$

この関係を用いて、式(5.16)を変形する。

$$t_d = b_0 + b^T (\mu + p_g) + \sum_k^m b_k^T p_{rk} \quad (5.18)$$

$$= t_0 + \tau_g^T x_g + \sum_k^m \tau_{rk} x_{rk} \quad (5.19)$$

ただし、

$$t_0 = b_0 + b^T \mu \quad (5.20)$$

$$\tau_g^T = b^T D_g U_g \Lambda_g^{1/2} \quad (5.21)$$

$t_0$  と  $\tau_g$  が応答曲面  $b$  から求まるのに対し, 各  $\tau_{rk}$  は一般に応答曲面  $b$  のみからは求まらない. そこで, 各トランジスタの遅延時間に対する感度係数  $s_k$  を導入し,  $\tau_{rk}$  を以下の式で表す.

$$\tau_{rk} = s_k \tau_{r0} \quad (5.22)$$

感度係数  $s_k$  は感度解析から簡単に求まる. 感度係数については, 次節で詳しく議論する.  $\tau_{r0}$  は  $s_k$  の求め方から決まる基準値である. 正規分布  $s_k \tau_{r0} x_{rk}$  の和を単一の正規分布で表す. 標準正規分布の変動変数  $x_r$  を用いて, 遅延時間  $t_d$  は以下の式で表される.

$$t_d = t_0 + \tau_g^T \mathbf{x}_g + \sum_k^m s_k \tau_{r0} x_{rk} \quad (5.23)$$

$$= t_0 + \tau_g^T \mathbf{x}_g + \sqrt{\sum_k^m s_k^2} \tau_{r0} x_r \quad (5.24)$$

遅延時間のチップ内ばらつき成分について, ゲート内ばらつきを考慮しない場合の標準偏差を  $\tau_r$  とする.  $\tau_r$  は, 応答曲面  $b$  から以下の関係より求まる.

$$\tau_r = \sigma(\mathbf{b}^T \mathbf{p}_r) \quad (5.25)$$

$$= \sigma\left(\sum_k^m \tau_{rk} x_{rk}\right) \quad (5.26)$$

$$= \sum_k^m \tau_{rk} \sigma(x_{rk}) \quad (5.27)$$

$$= \sum_k^m s_k \tau_{r0} \quad (5.28)$$

$$\tau_{r0} = \frac{1}{\sum_k^m s_k} \tau_r \quad (5.29)$$

以上の式より, 提案するゲート遅延ばらつきモデルは, 以下の式となる.

$$t_d = t_0 + \tau_g^T \mathbf{x}_g + \frac{\sqrt{\sum_k^m s_k^2}}{\sum_k^m s_k} \tau_r x_r \quad (5.30)$$

右辺第二項はチップ間ばらつき成分, 第三項はチップ内ばらつき成分を表す.  $\tau_r x_r$  がゲート内ばらつきを考慮しない場合のチップ内ばらつき量となる.

$\tau_g, \tau_r$  は, それぞれ式 (5.21) (5.25) を用いて, 応答曲面  $b$  から求まる. チップ間ばらつきを求めるための応答曲面  $b$  があれば, 感度係数  $s_k$  を求めるコストだけで, 式 (5.30) からチップ内ばらつき成分も計算することが可能である. 変動変数を統計的に縮約をすることで, トランジスタ数  $m$  個, 物理パラメータ数  $n$  個として,  $nm$  個必要であった変動変数を, 1 個に削減した. また,  $\tau_g$  と  $\tau_r$  は, ゲート内ばらつきを考慮しなくても求まる

ため、ばらつきの考慮手法としてよく用いられるワーストケース解析でも求めることが可能である。ワーストケース解析を用いる手法においても、各トランジスタの感度係数を求めるだけで、ゲート内ばらつきを考慮することが可能である。

## 5.4 感度係数の導出

感度係数  $s_k$  は、各トランジスタについて感度解析を行い求める事が可能である。ただし、感度係数は、入力遅移時間と負荷容量にも依存する。それぞれの条件ごとに感度係数を求めるのは、計算コストが高い。感度係数の計算方法について、以下の4つの方法の計算コストと誤差の評価を行う。

### 5.4.1 感度計算方法

#### (A) 遅移時間、負荷容量ごとに感度係数 $s_k$ を計算する方法

遅移時間、負荷容量ごとに感度係数  $s_k$  を求める。トランジスタのワーストケースパラメータで、slow ケースのパラメータと typical ケースのパラメータを用いて感度を求める。感度を求めるトランジスタのみを slow にした場合と typical にした場合の遅延時間の差を感度係数  $s_k$  とした。4つの方法の中では、一番計算コストが高く、正確である。

#### (B) 感度係数 $s_k$ を典型値で代表する方法

遅延時間のばらつきは、負荷を充放電するための電流が流れるトランジスタの特性により決まる。感度係数を、遅移時間、負荷容量ごとに求めるのは、計算コストが高い。方法 (B) では、ある遅移時間、負荷容量で求めた感度係数をすべての遅移時間、負荷容量の条件で用いる。代表値を求めた遅移時間、負荷容量では、遅延モデルの誤差は0となる。感度係数  $s_k$  は、各セル、入力ピンについて一組ずつ求める必要がある。

#### (C) 感度係数 $s_k$ をすべて等しいとする方法

電流の流れるトランジスタの感度係数  $s_k$  を1として、流れないトランジスタの感度係数  $s_k$  を0とする。電流の流れるトランジスタの数を  $m$  個とすると、ゲート遅延ばらつきモデル(式 5.30)は、以下の式で代替される。

$$t_d = t_0 + \tau_g^T \mathbf{x}_g + \frac{1}{\sqrt{m}} \tau_r x_r \quad (5.31)$$

方法 (C) では、感度係数を求めるために付加的な解析を必要としない。精度は、方法

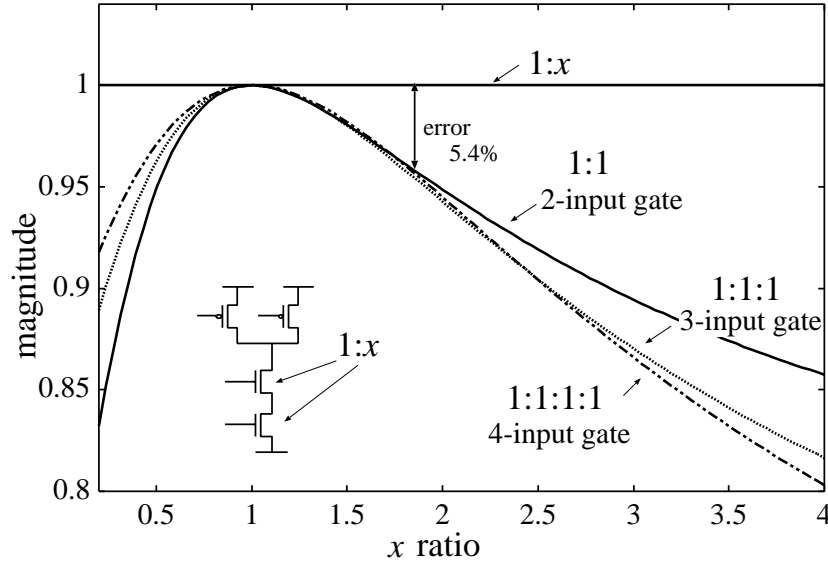


図 5.3: 感度係数  $s_k$  の近似による遅延ばらつきの最大誤差

(B) よりも悪くなる．方法 (C) による最大の誤差を見積もる．ゲート内において，あるトランジスタの感度係数を  $x$  とする．ゲート遅延ばらつきの誤差が最大となるのは，それ以外のトランジスタの感度係数が 1 の時である．2 入力，3 入力，4 入力の場合の遅延ばらつきの最大誤差を図 5.3 に示す．横軸は感度係数  $x$  で，縦軸は， $s_k = 1$  の場合の遅延ばらつきに対する相対値，つまり  $\frac{\sqrt{\sum_k^m 1}}{\sqrt{\sum_k^m s_k^2}}$  を示す．ゲートの種類，トランジスタ寸法，遷移時間，負荷容量などによって感度係数の比は異なる．感度の比が 2 倍程度であるとすると，2 入力の場合では 5.4% の誤差に相当する．

#### (D) ゲート内ばらつきを考慮しない方法

ゲート内での各トランジスタ間のばらつきを考慮しない場合を考える．提案モデル式 (5.30) において  $m = 1$  とした場合に相当する．方法 (A) の場合と比較すると，チップ内ばらつき成分は  $\frac{\sum_k^m s_k}{\sqrt{\sum_k^m s_k^2}}$  倍となる．方法 (C) と同じく，付加的な解析は必要ない．

### 5.4.2 セル構造の分類

上記 4 つの条件について，CMOS 0.13 $\mu\text{m}$  プロセス用に設計されたセルライブラリでの誤差評価を行う．

まず，セル構造の分類を行う．充放電電流が，複数のトランジスタを流れる場合として，直列型セル，並列型セル，マルチステージ型セルの 3 種類がある．直列型セルは，図 5.4 の NAND ゲートに示されるように，直列に接続されたトランジスタに充放電電流が



流れる場合である．他には，NOR ゲートや AND-OR-INV ゲートや OR-AND-INV ゲートなども直列構造を持つ．

一般のセルライブラリにおいて，どのセルもレイアウトにおけるセル高さは等しい．幅の大きなトランジスタは配置できないので，分割して並列に接続する．並列型セルとしては，図 5.5 に示されるような駆動力の大きい INV ゲートがある．直列型セルにおいても，駆動力の大きいセルでは，トランジスタは分割され，並列型となる．

駆動力を大きくするために，トランジスタ幅を大きくすると，入力容量も増加する．入力容量の増加を抑えるために，図 5.6 のように，1 つのインバータゲートの内部を 3 つのインバータで構成する場合もある．この構造をマルチステージ型セルと呼ぶ．駆動力の大きい NAND ゲートなどもマルチステージの構成をとる．

### 5.4.3 感度係数の計算方法による誤差の評価

ここでは，感度係数の計算方法による誤差の評価を行う．方法 (A)(B)(C)(D) により求めた感度係数と提案モデルの式 (5.30) を用いて，遅延時間のチップ内ばらつきを求める．方法 (A) により求めた遅延ばらつきを比較の対象として，方法 (B)(C)(D) により求めた遅延ばらつきの誤差を求める．

直列型セルの評価として，図 5.4 の 4 入力 NAND ゲートの立下り時について感度係数を求め，モデル化誤差の評価を行った．入力ピン A が遷移する場合の感度係数を図 5.7 に示す． $x$  軸が遷移時間で， $y$  軸が負荷容量である．それぞれ 10~100[ps]，10~100[fF] の範囲で解析を行った．入力ピン C に対する感度係数  $s_C$  を基準とした．負荷容量が小さく，遷移時間が大きい場合において，感度係数  $s_A$  が大きくなる．感度係数の計算方法による誤差の評価として，チップ内ばらつきの標準偏差を図 5.8 に示す．方法 (A) により求めたチップ内ばらつきの標準偏差を基準値 1 として，方法 (B) (C) (D) により求めた遅延ばらつきの標準偏差を示す．方法 (B) では，負荷容量 50[fF]，入力遷移時間 50[ps] での感度係数を用いた．方法 (B) (C) (D) では，遷移時間と負荷容量に対して感度係数が一定なので，負荷容量が小さく，遷移時間が大きい部分において誤差が増大する．実験を行った条件下での，誤差の最小，平均，最大を表 5.1 に示す．ゲート内ばらつきを考慮しない方法 (D) では，誤差が平均で +89% であったのに対して，方法 (B) では -0.76%，方法 (C) では -5.42% の平均誤差となった．

並列型では，回路構造が対称なのでどのトランジスタについても感度は等しい．図 5.9 に，4 並列型のインバータ (INVP040) の感度を示す．図 5.10 には，遅延ばらつきの標準偏差を示す．方法 (A) (B) (C) の誤差は等しい．方法 (D) では，式 (5.31) より方法 (A) に比べると，チップ内ばらつきが  $\sqrt{m}$  倍となる．

マルチステージ型の評価として，図 5.6 の INVP080 ゲートの立下りについて，感度係数とモデル化誤差を求めた．初段，中段，後段の感度係数をそれぞれ  $s_A$ ， $s_B$ ， $s_C$  とし，図

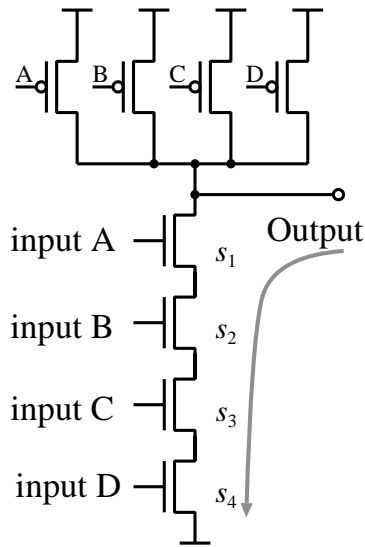


図 5.4: 直列型セル (4 入力 NAND)

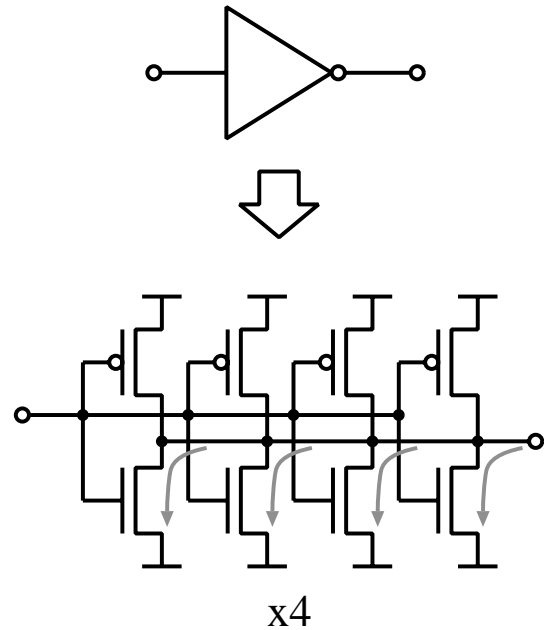


図 5.5: 並列型セル (INVP040)

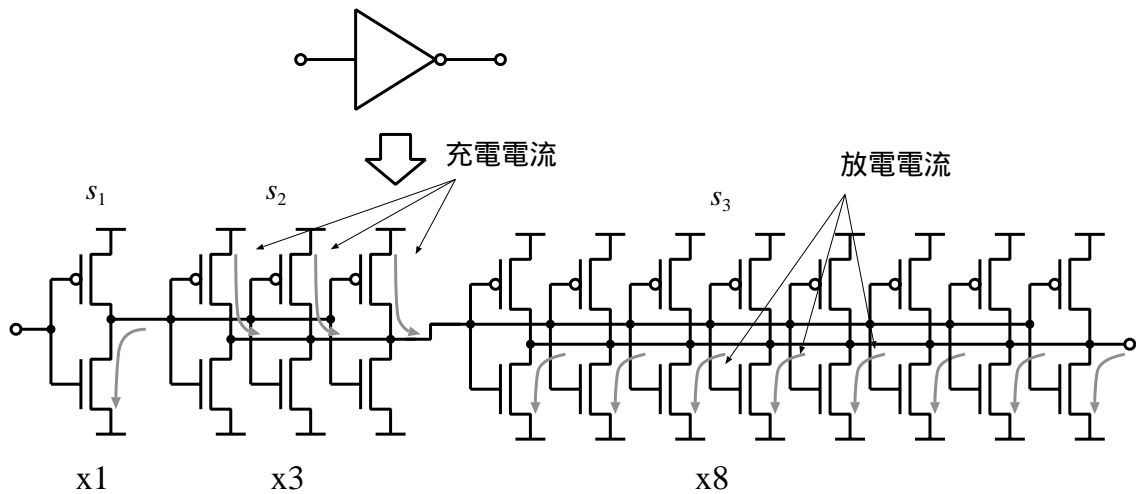


図 5.6: マルチステージ型セル (INVP080)

5.11 に示す．中段，後段はそれぞれ 3 並列，8 並列になっているが，それぞれ並列部分での感度は等しいとした． $x$  軸が遷移時間で， $y$  軸が負荷容量である．それぞれ 10~100[ps], 10~1000[fF] の範囲で解析を行った．後段の感度  $s_C$  を基準とした．遅延ばらつきの誤差を図 5.12 に示す．方法 (B) においては，入力遷移時間 50[ps], 負荷容量 400[fF] での感度係数を用いた．誤差の最小，平均，最大を表 5.1 に示す．ゲート内ばらつきを考慮しない方法 (D) では，誤差が平均で +204% であった．直列型と比較して感度の差が大きいた

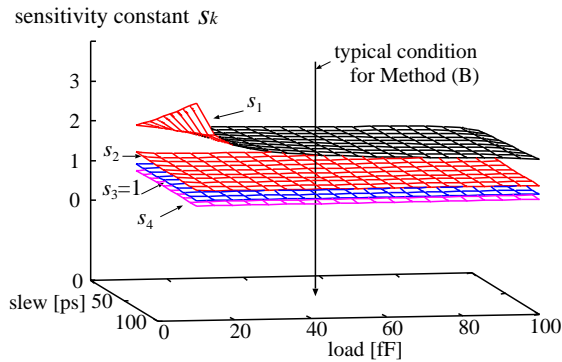


図 5.7: 入力遷移時間，負荷容量に対する感度係数  $s_k$  の変化 (4 入力 NAND)

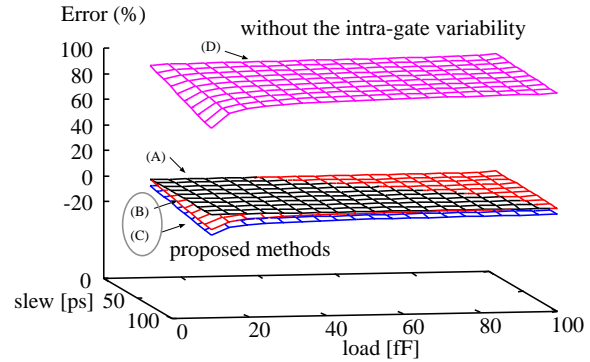


図 5.8: 遅延時間におけるチップ内ばらつきの標準偏差 (4 入力 NAND)

表 5.1: 感度計算方法によるモデル化誤差

方法	4 入力 NAND (4 直列型)			INVP040 (4 並列型)	INVP080 (3 段型)		
	最小	平均	最大		最小	平均	最大
(B)	-11.9%	-0.76%	+1.54%	0%	-26.0%	-1.12%	+13.8%
(C)	-16.0%	-5.42%	-3.24%	0%	-35.7%	-12.1%	-1.05%
(D)	+68%	+89%	+94%	100%	+122%	+204%	+243%

め，直列型における方法 (B) と (C) の差よりも，マルチステージ型における方法 (B) と (C) の差は大きい．方法 (B) では平均の遅延ばらつき誤差が  $-1.12\%$  であるのに対して，方法 (C) では平均の誤差が  $-12.1\%$  となった．

いづれのセル構造においても，方法 (B) では  $1.12\%$  以下の平均誤差で，方法 (C) では  $12.1\%$  以下の平均誤差で，遅延ばらつきを計算することができた．ゲート内ばらつきを考慮しない方法 (D) により感度係数を計算する場合では，マルチステージ型のセルにおいて，遅延ばらつきの平均誤差が  $+204\%$  となった．

#### 5.4.4 方法 (A) の誤差評価

前節では，方法 (A) を比較の対象としていたが，方法 (A) も誤差を含む．誤差の要因としては，感度係数の計算において slow, typical パラメータを用いること，感度係数間の相関を無視していることなどが挙げられる．方法 (A) の誤差評価として，SPICE によるモンテカルロ解析の結果と比較を行う．

物理パラメータのばらつき量は実測から求めた値を用いる．負荷容量を  $2\sim 100\text{fF}$ ，遷移時間を  $10\sim 100\text{ps}$  の条件で，4 入力 NAND ゲートと 4 分割の INV ゲートについて実験

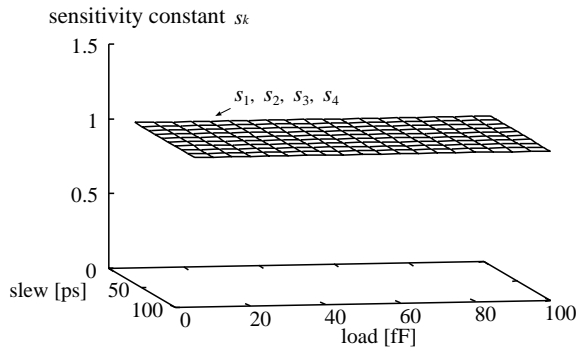


図 5.9: 入力遷移時間，負荷容量に対する感度係数  $s_k$  の変化 (INVP040)

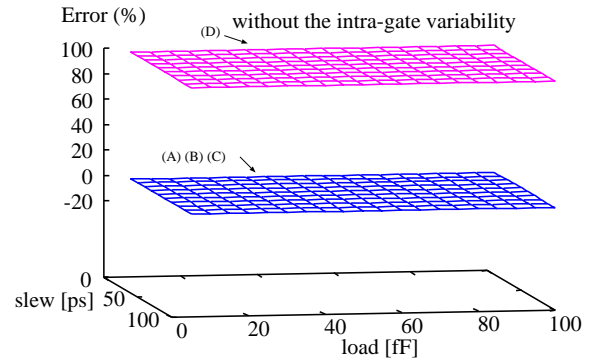


図 5.10: 遅延時間におけるチップ内ばらつきの標準偏差 (INVP040)

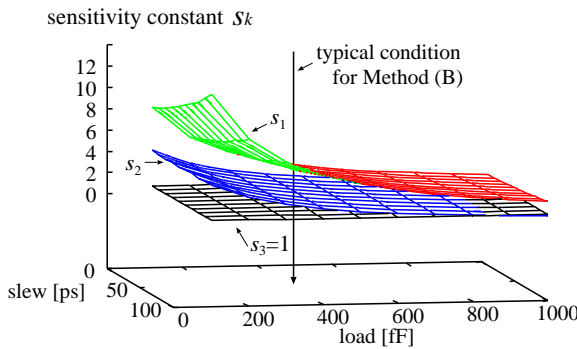


図 5.11: 遷移時間，負荷容量に対する感度係数  $s_k$  の変化 (INVP080)

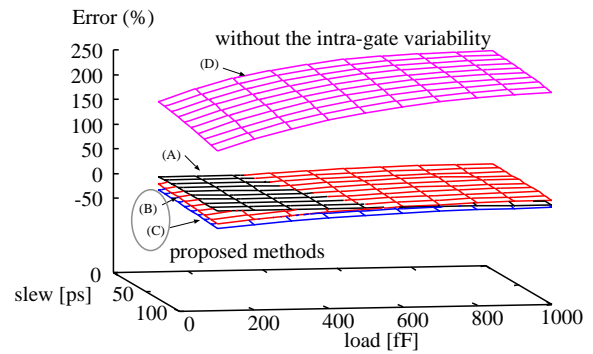


図 5.12: 遅延時間におけるチップ内ばらつきの標準偏差 (INVP080)

を行った．結果を図 5.13 に示す．縦軸，横軸は，それぞれ提案モデル，SPICE による場合での遅延変動の標準偏差を示す．モデル化誤差は，4 入力 NAND ゲートで平均  $-5.1\%$ ，4 分割の INV ゲートでは平均  $-0.52\%$  であった．

## 5.5 ゲート内ばらつきを考慮した遅延解析実験

ゲート内におけるトランジスタ間のばらつきを考慮する事により，回路遅延ばらつきの解析精度が向上する事を示す．LGSynth93 ベンチマークセットに含まれる des 回路について統計遅延解析を行った結果を図 5.14 に示す．ゲート数は 3759 であった．静的遅延解析 (STA) によるモンテカルロシミュレーションを行った．実線は，提案モデルにより各ゲートの遅延ばらつきをモデル化した場合の，回路遅延の分布を示す．感度係数は，方法 (C) により求めた．図中の破線は，ゲート内ばらつきを考慮せずにゲート遅延ばら

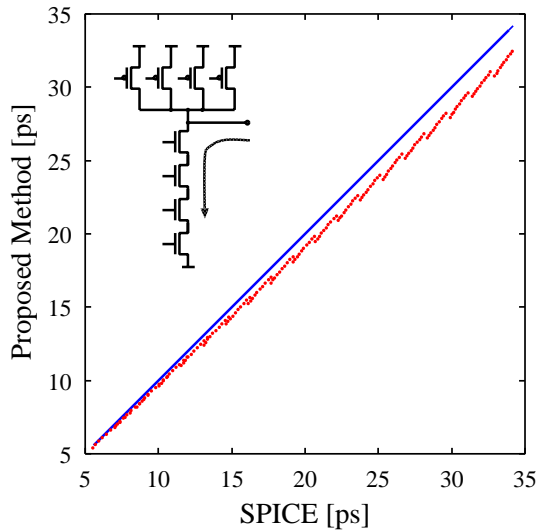


図 5.13A: 直列型セル (4 入力 NAND)

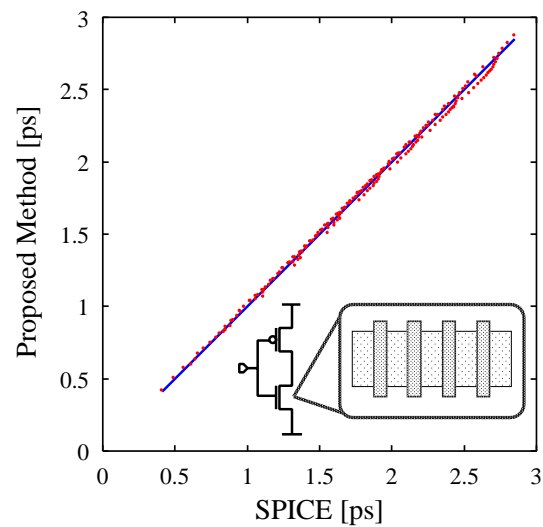


図 5.13B: 並列型セル (INV040)

図 5.13: モデル化による遅延変動量 (標準偏差) の比較

つきをモデル化した場合 (手法 (D)) の遅延分布である．ばらつきの大きさは実測値から求めた [91]．ゲート内ばらつきを考慮しない場合と提案モデルとにおいて，最悪遅延 ( $\mu + 3\sigma$ ) で 0.183[ns]，遅延変動幅に対して 31.8% の遅延誤差を確認した．1000 回繰り返しのモンテカルロシミュレーションにかかった計算時間は，14.2 秒であった．Pentium4 1.7GHz を搭載した計算機を用いた．

## 5.6 まとめ

本章では，ゲート内ばらつきを考慮した遅延モデルを提案した．チップ内ばらつきを考慮した統計遅延解析が必要となっている．高精度な統計遅延解析を行うためには，個々のゲート遅延を正確に求めることが重要である．チップ内ばらつきを考慮してゲート遅延をモデル化するためには，論理ゲート内におけるトランジスタ間のばらつきを考慮する必要がある．各トランジスタに変動変数を割り当てるのは，計算コストが増大するため好ましくない．複数の正規分布の和が，ある 1 つの正規分布で表される事に基づき，変動変数の削減を行った．

遅延のモデル化には応答曲面による手法を用いた．遅延時間を物理パラメータに対する一次式で近似した．各トランジスタのばらつきに対する遅延時間の分布をモデル化するのはコストが高い．各物理パラメータのチップ内ばらつき成分を正規分布であると仮定して，統計的に分布の合成を行い，変動変数を削減した．

感度係数の求め方について，ゲート内ばらつきを考慮しない場合も含めた 4 つの方法

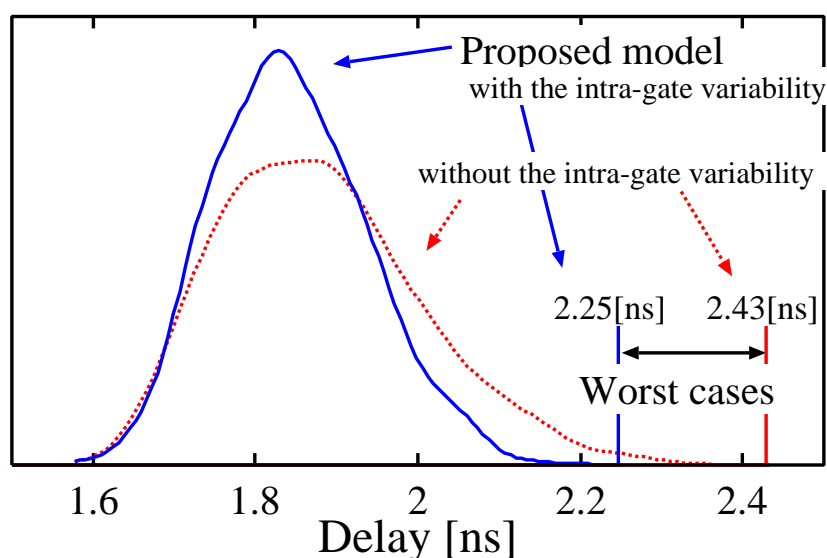


図 5.14: ゲート内ばらつき考慮による遅延ばらつきの差 (des 回路の遅延時間分布)

について計算コストと誤差の評価を行った．感度係数は入力の変移時間や負荷容量にも影響する．変移時間や負荷容量ごとに感度係数を求める方法は正確であるが計算コストが高い．変移時間や負荷容量に関係なく感度係数を 1 とした場合と，ある代表値を用いた場合を評価した．ゲート内ばらつきを考慮しない場合では平均で +89% であった誤差が，提案モデルを用いることで，平均誤差が  $-0.8\%$  となった．感度係数を 1 とする方法では，マルチステージ型セルについては平均モデル化誤差が  $-12.1\%$  となった．代表値による方法を用いることにより，マルチステージ型でも平均誤差は  $-1.12\%$  となった．感度係数の計算においては，必要なモデル化精度と計算コストによって，使い分けが可能である．また，ベンチマーク回路における比較実験では，提案モデルによりゲート内ばらつきを考慮することで，解析精度が 31.8% 改善する事を確認した．



## 第6章

---

# 結論

---

集積回路製造プロセスの微細化や低電源電圧化により、製造ばらつきが増大している。回路性能のばらつきにより、歩留りが悪化するという問題が起っている。回路設計において、素子特性のばらつきを考慮することが必要とされている。製造ばらつきを考慮するための解析手法やモデル化手法の開発が必須である。本研究の目的は、集積回路における性能ばらつきの解析手法を確立することである。統計解析において、現実的な解析結果を得るためには、実測特性を反映した系統的な解析を行う必要がある。本研究では、実測した統計情報を余すことなく回路解析で利用するために、ばらつきのモデル化、モデルパラメータの抽出、統計解析の順を追い、一貫してばらつきを考慮するための手法を提案した。

第1章では、研究の概要について述べた。今後のばらつきの増大に対処するために、どのような解析手法が必要になるかという観点から、必要とされる素子ばらつきモデルについての議論を行い、研究の方向性について示した。素子特性ばらつきのモデル化においては、局所ばらつきと大域ばらつき、レイアウト依存ばらつきの考慮が必須である。第2章、第3章では、製造ばらつきのモデル化について述べた。第2章では特にレイアウト依存を考慮するためのモデル化と解析手法について説明した。第3章では、様々な解析方法において利用することを目的に、微細化や低電源電圧化に対応した局所ばらつきと大域ばらつきのモデルを提案した。第4章では、モデル化の一貫として、局所ばらつきと大域ばらつきのモデルパラメータを実測特性から抽出する手法について説明した。第5章では、統計遅延解析のためのゲート遅延モデルについて提案した。各章での研究内容について、以下に結論を述べる。

第2章では、比精度解析において、レイアウトを考慮することを重点に置いたモデル化と解析手法について提案した。アナログ回路の比精度は、トランジスタの密度や配置位置といったレイアウトに強く依存する。レイアウトを考慮した解析手法は整備されておらず、そのことが回路方式の研究においても障害となっている。レイアウトを考慮し



たばらつき解析を行うために、次の2点の課題を解決した。1点は、レイアウト依存ばらつきや、大域ばらつきによる配置依存のばらつきをモデル化することである。もう1点は、設計の初期段階においても、レイアウトを考慮したばらつき解析の手段を提供することである。提案手法では、局所ばらつきと大域ばらつきを別々の式でモデル化する。提案の局所ばらつきモデルと大域ばらつきモデルにより、複数のトランジスタ間での寸法や配置関係を考慮したモデル化が可能となった。レイアウト依存なばらつきのうち、比精度への影響が強いローディング効果について、近接パターンの幅も考慮するモデルを提案した。測定において線幅に対するシート抵抗の変動が問題であったが、シート抵抗を断面形状からモデル化することで解決した。実測値についてモデル化を行い、提案モデルの有効性を確認した。比精度の解析では、レイアウトの考慮が必須である。設計の初期段階ではレイアウトが行われていないが、比精度を考慮することは必要である。そこで、全回路解析法と部分回路モデル化法の2つの解析法を用いて、設計段階に応じたばらつき解析を行う手法を提案した。全回路解析法では、レイアウトの完成した回路について、レイアウト依存なばらつきや大域ばらつきによる配置依存なばらつきを考慮した解析を行う。部分回路モデル化法では、設計の初期段階でレイアウト設計が行われていなくても、擬似的にレイアウトを考慮したばらつき解析を行うことが可能である。カレントミラーの出力電流誤差について、レイアウト依存を考慮した解析の結果を示した。トランジスタ寸法を大きくしても、必ずしも比精度が改善するわけではないことを定量的に導いた。アナログ回路の比精度解析に限らず、ばらつき解析においてレイアウトを考慮する方法について明かにした。

第3章では、局所ばらつきと大域ばらつきのモデル化を行った。第2章では、特にレイアウト依存を考慮するためのモデル化を行ったが、第3章では微細化や低電源電圧に対応するためのモデル化を行った。より幅広い解析手法で用いるために、ばらつきのサイズ依存やバイアス依存を考慮するための方法を明かにした。大域ばらつきについては統計分布を再現するモデルを提案した。局所ばらつきモデルと大域ばらつきモデルについて、第2章では閾値電圧  $V_{TH}$  とゲイン  $\beta$  についてモデル化を行った。しかし、これらのパラメータは、短チャネル効果や狭チャネル効果、基板バイアス効果やチャネル長変調効果などの影響により、トランジスタのサイズやバイアス電圧に依存する。そのため、ばらつき量も相対的に変動する。提案モデルでは、サイズやバイアスに依存しない物理パラメータについてモデル化を行った。サイズ依存性やバイアス依存性は、ばらつきモデルではなく MOSFET モデル側で考慮する。物理パラメータから MOSFET モデルパラメータへの変換には、中間モデルによる手法を用いた。局所ばらつきは、物理パラメータがトランジスタ寸法に依存する正規分布であるとしてモデル化を行った。中間モデルを用いることにより、MOSFET モデルに依存しない系統的なばらつきの抽出が可能となった。大域ばらつきは、ウエハに対してなだらかに変動する成分であるため、統計的には正規分布とならない。そこで、ウエハ全体に対する大域ばらつきを位置に依存する2次関数でモデル化した。統計的処理を容易にするために、パラメータ数を削減した。

大域ばらつきをウエハの中心からの距離により特徴づけることで、パラメータ数を3とした。0.6 $\mu$ m プロセスにおける測定値を用いて、提案する大域ばらつきモデルの精度検証を行った。ウエハ全体における大域ばらつきの変動を大域ばらつきモデルで表した。モデル値と測定値の誤差は最大でも1.1%であることを確認した。また、大域ばらつきモデルパラメータから、確率密度を与える解析式を導いた。実測した大域ばらつき分布を再現できることを確認した。提案の局所ばらつきモデルと大域ばらつきモデルを用いて、リングオシレータの発振周波数を解析する実験を行った。大域ばらつきについて、提案モデルを用いる場合と正規分布でモデル化する場合を比較し、正規分布ではより悲観的な解析結果が得られることを確認した。

第4章では、局所ばらつきと大域ばらつきモデルパラメータを、実測値から抽出する方法について説明した。統計情報の抽出には、非常に多数の測定値を用いる。それらの測定値は、それぞれ局所ばらつきと大域ばらつきの影響を受けているため、ばらつきの統計的性質を考慮して、それぞれのばらつき成分を分離する必要がある。まず、各チップでの大域ばらつき成分と局所ばらつき成分の分離を行う。チップ内でのごく狭い領域では、大域ばらつき成分による変動は微小であり、その領域内での大域ばらつき成分は等しいと近似する。各チップでのごく狭い範囲からの測定値を用いて、平均値から各チップでの大域ばらつき成分を求める。ウエハ全体での大域ばらつきを第3章でのモデルにより表すことで、大域ばらつきを分離する。物理パラメータの計算には、複数のトランジスタの電流特性を用いる。しかし、それらの特性は互いに局所ばらつきの影響でばらついている。それら複数のトランジスタからのばらつき成分を分離するために、各物理パラメータの感度を用いる。実測した電流特性のばらつきと各物理パラメータの感度から、相関も考慮して局所ばらつきを求める。0.13 $\mu$ m プロセスでの実測値に対して、局所ばらつきモデルのパラメータ抽出を行った。測定した局所ばらつきの標準偏差とモデルから再現した標準偏差との誤差は12%であった。抽出手法の精度検証のために、実測したリングオシレータの発振周波数のばらつきと提案手法により抽出したパラメータの比較を行った。リングオシレータの段数が長くなるほどチップ内ばらつきは平均化されて小さくなることに注目し、23段と73段のリングオシレータについてチップ内ばらつきとチップ間ばらつきの比率を比較する。提案モデルより再現した物理パラメータから発振周波数を見積るために、遅延時間を求める計算式を導いた。リングオシレータの実測値と比較を行ったところ、段数に依存して遅延ばらつきが縮小する傾向を確認した。

第5章では、チップ内ばらつきとチップ間ばらつきを考慮したデジタル回路の統計遅延解析について説明した。チップ内ばらつきまで考慮した統計遅延解析の手法が提案されている。これらの手法を用いて精度よく解析を行うためには、個々のゲート遅延ばらつきを正確に求める必要がある。ゲート単体での遅延ばらつきについて、チップ内ばらつきとチップ間ばらつきを考慮したモデル化を行った。チップ内のばらつきを考える場合、ゲート内での各トランジスタのばらつきを考える必要がある。これをゲート内ばらつきと呼んだ。ゲート内ばらつきを考慮するためには、ゲート内のすべてのトランジス

タについてばらつきを考える必要がある．駆動力の大きいゲートは数十個のトランジスタから構成されることがあるため，個々のトランジスタに変動変数を割り振る方法では計算コストが増大する．そこで，変動変数は各ゲートに対して1個とし，その代りに各トランジスタの影響を感度係数により表す手法を提案した．感度係数は，各トランジスタでの遅延時間に対する感度である．提案の遅延モデルを用いると，各トランジスタの感度係数を求めるだけで，ゲート内ばらつきを考慮することが可能である．感度係数は各トランジスタに対する感度解析により求める．感度係数の計算コストを削減するために，感度係数の再利用の方法について検討した．出力負荷の充放電電流が流れるトランジスタが遅延ばらつきに対して支配的であることと，並列構造では感度係数が等しくなることを利用して，感度係数を導出する方法を提案した．ゲート内ばらつきを考慮しない方法では，遅延ばらつきの見積り誤差が+204%であったのに対し，感度係数を典型値で代表する方法では平均1.1%の誤差で求めることができた．感度係数を再利用することにより，計算精度は高いままで，感度係数の計算コストを削減することに成功した．また，回路遅延ばらつきを求める実験において，ゲート内ばらつきを考慮する場合としない場合で，回路遅延のばらつきに大きな差が認められた．ゲート内ばらつきを考慮することの必要性を確認した．

以上の研究成果により，実測特性を考慮した現実的な統計回路解析を行うための手法を明らかにした．素子特性の統計的性質を考慮して，局所ばらつき，大域ばらつき，レイアウト依存ばらつきのモデル化を行った．各ばらつき成分について，測定回路の構成と，測定値からモデルパラメータを抽出する方法を示した．実測特性の統計的性質を反映して，素子ばらつきの統計分布を再現することが可能となった．モデル化のための計算コストや測定コストの面でも十分実用的であることを検証できた．本研究によるばらつきモデルを用いて，回路性能のばらつきを解析する手法を示した．実測結果や回路シミュレーションにより解析手法の精度検証を行い，提案手法の有効性を確認した．

今後の課題は，モデル化やパラメータ抽出の精度を向上させることと，配線のばらつきを考慮することである．モデルの抽出誤差を削減するためには，測定誤差を削減する必要がある．素子ばらつきの測定において，測定誤差を低減するための回路方式が提案されている．それらの測定回路を用いることで，測定誤差の削減が可能であると考えられる．モデル自体の誤差を削減するために，物理パラメータの計算方法とモデル式自体に改良の余地がある．物理パラメータの計算では，どれだけ物理性を反映させられるかが重要である．ばらつきのサイズ依存やバイアス依存の考慮や，大域ばらつきを低次の関数で近似できるかは，物理パラメータの物理性に依存している．物理パラメータの計算精度を改善させることで，モデル化誤差の削減が期待できる．大域ばらつきのモデル化では，ウエハ全体を近似関数により表したが，フォトリソグラフィ工程でのばらつきを考慮すると，レチクル単位でのモデル化の必要性も考えられる．これらモデル化における細部の改良については，今後検討の余地がある．配線のばらつきについては，レイアウトを考慮したモデル化手法が確立されつつある．本論文では，レイアウトに依存するばらつ

きを統計解析において考慮する方法を明かにした．配線ばらつきのモデルを実際に適用するには細部の検討が必要であるが，本研究で開発したモデル化と解析の枠組を利用することは容易である．



---

## 謝辞

---

本研究の機会を与えて頂き、研究のご指導を賜りました京都大学情報学研究科 小野寺秀俊教授に深く感謝いたします。研究を進めるにあたり、常に適切な方向づけをしていただくとともに、挑戦的な目標設定や研究の動機づけを与えていただきました。熱心なご指導とご鞭撻に心よりお礼申し上げます。研究室配属当初の指導教官であられました田丸啓吉名誉教授(現在 岡山理科大学教授)には研究のご指導を頂き、生活面についても寛容な環境を提供して頂きました。また、本学退官後も助言や励ましの御言葉を頂きました。心より感謝致します。同研究科富田眞治教授、中村行宏教授には本論文をまとめるにあたって貴重な助言をいただいたことに深く感謝します。同研究科 小林和淑助教授(現在 東京大学助教授)には、計算機環境の面で助言をいただくとともに、論文執筆につきまして熱心にご指導頂きました。ここに感謝します。同研究科助手 橋本昌宜博士には、研究について適切な助言を頂くとともに、常に暖かい励ましを頂き深く感謝致します。研究方針についてご助言をくださいました東京工業大学の益一哉教授に深く感謝致します。

本研究を進めるにあたって小野寺研究室の大学院生、学部生の諸君からも有益な助言、助力をいただきました。特に近藤正樹博士(現在 東芝)にはトランジスタ特性のモデル化についてご指導頂きました。藤田智弘博士(現在 立命館大学講師)には、本研究で用いた応答曲面モデルを作成して頂きました。ここに感謝致します。また、山岡健人氏には第5章の実験を手伝っていただきましたことを感謝致します。安田岳雄博士(現在 IBM)、藤田浩章、後藤周作、井口誠、中西龍太、星野洋昭、土谷亮、菅野公伸、宮崎崇仁の諸氏とは、本研究以外にも様々な研究を行ないました。そこで行なった議論は、本研究を遂行する上での大変良い刺激となりました。ここに感謝します。

本研究につきまして大変貴重な助言くださいました半導体理工学センター(STARC) 増田弘生博士ならびに大川眞一氏、山本雅晴氏に感謝致します。日立製作所の佐藤高史氏には、論文執筆についてご助言くださいましたことを感謝致します。

本研究にかかわるテスト回路の試作は、東京大学大規模集積システム設計教育研究センター(VDEC)を通して行ないました。同センターのスタッフおよび関係者のみなさま

に感謝致します。日本学術振興会特別研究員制度による助成をして頂いたことを感謝致します。

多くの助言や御指導を頂いた研究室やその他の方々に深く感謝致します。

最後に、絶えず惜しめない支援を頂いた妻裕子に感謝します。

---

## 参考文献

---

- [1] C. Michael and M. Ismail, "Statistical modeling of device mismatch for analog MOS integrated circuits," *IEEE Journal of Solid-State Circuits*, pp. 154–166, 1992.
- [2] C. Michael, C. Abel and M. Ismail, "SMOS: a CAD-compatible statistical model for analogue MOS integrated circuit simulation," *International Journal of Circuit Theory and Applications*, pp. 327–348, May 1992.
- [3] C. Michael, C. Abel and C. S. Teng, "A flexible statistical model for CAD of submicrometer analog CMOS integrated circuits," *Proceedings of IEEE/ACM International Conference on Computer-Aided Design*, pp. 330–333, 1993.
- [4] C. Abel, C. Michael, M. Ismail, C. S. Teng and R. Lahri, "Characterization of transistor mismatch for statistical CAD of submicron CMOS analog circuits," *Proceedings of IEEE International Symposium on Circuits and Systems*, Vol. 2, pp. 1401–1404, May 1993.
- [5] H. Su, C. Michael and M. Ismail, "Yield optimization of analog MOS integrated circuits including transistor mismatch," *Proceedings of IEEE International Symposium on Circuits and Systems*, Vol. 3, pp. 1801–1804, May 1993.
- [6] H. Su, C. Michael and M. Ismail, "Statistical constrained optimization of analog MOS circuits using empirical performance models," *Proceedings of IEEE International Symposium on Circuits and Systems*, Vol. 1, No. 94CH3435-5, pp. 133–136, 1994.
- [7] C. Michael, H. Su, M. Ismail, A. Kankunnen and M. Valtonen, "Statistical techniques for the computer-aided optimization of analog integrated circuit," *IEEE Transactions on Circuits and Systems*, Vol. 43, pp. 410–413, May 1996.



- [8] H. Y. To, C. Michael and M. Ismail, "Worst case analysis of low-voltage analog MOS integrated circuits," *Proceedings of 38th Midwest Symposium on Circuits and Systems*, Vol. 1, No. 95CH35853, pp. 278–281, 1996.
- [9] J. L. Pelloie, "Full characterization of MOS transistors in CMOS technologies," *Proceedings of IEEE International Conference on Microelectronic Test Structures*, Vol. 2, No. 1, pp. 69–71, March 1989.
- [10] M. Berkelaar and E. Jacobs, "Sources and quantification of delay variations in a 250nm CMOS digital cell library," *Proceedings of International Workshop on Logic Synthesis*, pp. 335–339, Dec. 1998.
- [11] M. Orshansky, C. Spanos and C. Hu, "Circuit performance variability decomposition," *Proceedings of International Workshop on Statistical Metrology*, pp. 10–13, 1999.
- [12] M. Orshansky, L. Milor, P. Chen, K. Keutzer and C. Hu, "Impact of systematic spatial intra-chip gate length variability on performance of high-speed digital circuits," *Proceedings of IEEE/ACM International Conference on Computer-Aided Design*, pp. 62–67, 2000.
- [13] S. Nassif, "Within-chip variability analysis," *IEEE International Electron Devices Meeting Technical Digest*, pp. 283–286, Dec. 1998.
- [14] T. Sakurai and R. Newron, "A simple MOSFET model for circuit analysis," *IEEE Transactions on Electron Devices*, Vol. 38, No. 4, pp. 887–894, 1991.
- [15] K. R. Lakshmikumar, R. A. Hadaway and M. A. Copeland, "Characterisation and modeling of mismatch in MOS transistors for precision analog design," *IEEE Journal of Solid-State Circuits*, pp. 1057–1066, Dec. 1986.
- [16] M. Pelgrom, A. Duinmaijer and A. Welbers, "Matching properties of MOS transistors," *IEEE Journal of Solid-State Circuits*, Vol. 24, No. 5, pp. 1433–1439, Oct. 1989.
- [17] H. P. Tuinhout, "Design of matching test structures," *Proceedings of IEEE International Conference on Microelectronic Test Structures*, Vol. 7, pp. 21–27, March 1994.
- [18] J. M. Cassard, "A sensitivity analysis of SPICE parameters using an eleven-stage ring oscillator," *IEEE Journal of Solid-State Circuits*, Vol. SC–19, No. 1, pp. 130–135, 1984.
- [19] J. K. Kibarian, "Using spatial information to analyze correlations between test structure data," *IEEE Transactions on Semiconductor Manufacturing*, Vol. 4, No. 3, pp. 219–225, Aug. 1991.

- [20] J. Bastos, M. Steyert, B. Graindourze and W. Sansen, "Influence of die attachment on MOS transistor matching," *Proceedings of IEEE International Conference on Microelectronic Test Structures*, Vol. 9, pp. 27–31, March 1996.
- [21] P. Kinget, "Analog VLSI Integration of Massive Parallel Processing Systems," Kluwer Academic Publishers, 1996.
- [22] H. Elzinga, "On the impact of spatial parametric variations on MOS transistor mismatch," *Proceedings of IEEE International Conference on Microelectronic Test Structures*, Vol. 9, pp. 173–177, March 1996.
- [23] J. Chen, M. Orshansky and C. H. C. Wan, "Statistical circuit characterization for deep-submicron CMOS designs," *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 90–91, 1998.
- [24] S. Sauter, D. Cousinard, R. Thewes, D. Schmitt-Landsiedel and W. Weber, "Clock skew determination from parametric variations and chip and wafer level," *Proceedings of International Workshop on Statistical Metrology*, pp. 7–9, June 1999.
- [25] M. Fallon, J. T. M. Stevenson, A. J. Walton and A. M. Gundlach, "An electrical test structure to evaluate linewidth variations due to proximity effects in optical lithography," *Proceedings of IEEE International Conference on Microelectronic Test Structures*, Vol. 8, pp. 33–37, March 1995.
- [26] N. Kasai, I. Yamamoto and K. Koyama, "Electrical gate length measurement test structure for short channel MOSFET characteristics evaluation," *Proceedings of IEEE International Conference on Microelectronic Test Structures*, Vol. 8, pp. 39–44, March 1995.
- [27] J. S. Choi and I. S. Chung, "A test structure for monitoring micro-loading effect of MOSFET gate length," *Proceedings of IEEE International Conference on Microelectronic Test Structures*, pp. 3–7, March 1996.
- [28] B. E. Stine and D. S. Boning, "Simulating the impact of pattern-dependent poly-cd variation on circuit performance," *IEEE Transactions on Semiconductor Manufacturing*, Vol. 11, No. 4, pp. 552–556, Nov. 1998.
- [29] K. Okada, H. Onodera and K. Tamaru, "Layout dependent matching analysis of CMOS circuits," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E82-A, No. 2, pp. 348–355, Feb. 1999.

- [30] K. Okada, H. Onodera and K. Tamaru, "Layout dependent matching analysis of CMOS circuits," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. 25, No. 3, pp. 301–310, Dec. 2000.
- [31] 岡田健一, 小野寺秀俊, 田丸啓吉, "レイアウトを考慮した CMOS 回路の比精度解析," 電子情報通信学会 回路とシステム (軽井沢) ワークショップ論文集, pp. 409–414, April 1998.
- [32] H. P. Tuinhout, H. Elzinga, J. T. Brugman and F. Postma, "Accurate capacitor matching measurements using floating gate test structures," *Proceedings of IEEE International Conference on Microelectronic Test Structures*, Vol. 8, pp. 133–137, 1995.
- [33] H. P. Tuinhout, H. Elzinga, J. T. Brugman and F. Postma, "The floating gate measurement technique for characterization of capacitor matching," *IEEE Transactions on Semiconductor Manufacturing*, Vol. 9, No. 1, pp. 2–8, Feb. 1996.
- [34] C. Yu, T. D. Maung, C. J. Spanos, D. S. Boning, J. E. Chung, H. Yu Lie, K.-J. Chang and D. J. Bartelink, "Use of short-loop electrical measurements for yield improvement," *IEEE Transactions on Semiconductor Manufacturing*, Vol. 8, No. 2, pp. 150–159, May 1995.
- [35] B. E. Stine, D. S. Boning and J. E. Chung, "Analysis and decomposition of spatial variation in integrated circuit processes and devices," *IEEE Transactions on Semiconductor Manufacturing*, Vol. 10, No. 1, pp. 24–41, Feb. 1997.
- [36] J. Damiano, C. K. Subramanian, M. Gibson, Y.-S. Feng, L. Zeng, J. Sebek, E. Deeters, C. Feng, T. McNelly, M. Blackwell, H. Nguyen, H. Tian, J. Scott, J. Zaman, C. Honcik, M. Miscione, K. Cox and J. Hayden, "Characterization and elimination of trench dislocations," *Symposium on VLSI Technology, Digest of Technical Papers*, pp. 212–213, 1998.
- [37] U. Lieneweg and N. Zamani, "Measurement and modeling of size and proximity effects in conducting linewidths," *Proceedings of IEEE International Conference on Microelectronic Test Structures*, Vol. 7, pp. 57–61, 1994.
- [38] O. W. Otto, J. G. Garofalo and R. C. Henderson, "Automated optical proximity correction – a rule-based approach," *Proceedings of SPIE*, Vol. 2197, pp. 278–293, 1994.
- [39] O. W. Otto, J. G. Garofalo and R. C. Henderson, "Simplified rule generation for automated rules-based optical enhancement," *Proceedings of SPIE*, Vol. 2621, pp. 577–587, 1995.

- [40] V. Axelrad, N. Cobb, M. O'Brien, T. Do, T. Donnelly, Y. Granik, E. Sahouria, V. Boksha and A. Balasinski, "Efficient full-chip yield analysis methodology for opc-corrected vlsi designs," *Proceedings of IEEE International Symposium on Quality Electronic Design*, pp. 461–467, March 2000.
- [41] O. S. Nakagawa, S.-Y. Oh and G. Ray, "Modeling of pattern-dependent on-chip interconnect geometry variation for deep-submicron process and design technology," *IEEE International Electron Devices Meeting Technical Digest*, pp. 137–141, 1997.
- [42] E. Chang, B. Stine, T. Maung, R. Divecha, D. Boning, J. Chung, K. Chang, G. Ray, D. Bradbury, O. S. Nakagawa, S. Oh and D. Bartelink, "Using a statistical metrology framework to identify systematic and random sources of die- and wafer-level ild thickness variation in cmp processes," *IEEE International Electron Devices Meeting Technical Digest*, pp. 499–502, 1995.
- [43] N. Chang, V. Kanevsky, O. S. Nakagawa, K. Rahmat and S.-Y. Oh, "Fast generation of statistically-based worst-case modeling of on-chip interconnect," *Proc. Int. Conf. on Comput. Design*, pp. 720–725, 1997.
- [44] A. Doganis, "xCalibrate: Interconnect characterization system using a statistical modeling approach," 電子情報通信学会回路とシステム (軽井沢) ワークショップ 論文集, pp. 153–158, 1998.
- [45] Z. J. Lin, C. Spanos, L. Milor and Y.-T. Lin, "Study of circuit sensitivity to interconnect variation," *Proceedings of International Workshop on Statistical Metrology*, pp. 28–31, 1997.
- [46] H. P. Tuinhout and M. Vertregt, "Test structures for investigation of metal coverage effects on MOSFET matching," *Proceedings of IEEE International Conference on Microelectronic Test Structures*, Vol. 10, pp. 179–183, March 1997.
- [47] H. P. Tuinhout, M. J. M. Pelgrom, R. P. de Vries and M. Vertregt, "Effects of metal coverage on MOSFET matching," *IEEE International Electron Devices Meeting Technical Digest*, pp. 735–738, Dec. 1996.
- [48] E. Felt, A. Narayan and A. S. Vincentelli, "Measurement and modeling of MOS transistor current mismatch in analog ic's," *Proceedings of IEEE/ACM International Conference on Computer-Aided Design*, pp. 272–277, 1994.
- [49] S. Nassif, "Modeling and analysis of manufacturing variations," *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 223–228, 2001.

- [50] K. A. Bowman and J. D. Meindl, "Impact of within-die parameter fluctuations on future maximum clock," *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 229–232, 2001.
- [51] E. Malavasi, S. Zanella, M. Cao, J. Uschersohn, M. Misheloff and C. Guardiani, "Impact analysis of process variability on digital circuits with performance limited yield," *Proceedings of International Workshop on Statistical Metrology*, pp. 60–63, June 2001.
- [52] K. Okada, K. Yamaoka and H. Onodera, "A statistical gate delay model for intra-chip and inter-chip variabilities," *Proceedings of IEEE/ACM Asia and South Pacific Design Automation Conference*, Jan. 2003.
- [53] A. N. Lokanathan and J. B. Brockman, "Efficient worst case analysis of integrated circuits," *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 237–240, 1995.
- [54] J. Chen, C. Hu, Z. Liu and P. Ko, "Realistic worst-case spice file extraction using bsim3," *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 375–378, 1995.
- [55] M. Kocher and G. Rappitsch, "Statistical methods for the determination of process corners," *Proceedings of IEEE International Symposium on Quality Electronic Design*, pp. 133–137, March 2002.
- [56] E. Malavasi, S. Zanella, M. Cao, J. Uschersohn, M. Misheloff and C. Guardiani, "Impact analysis of process variability on clock skew," *Proceedings of IEEE International Symposium on Quality Electronic Design*, pp. 129–132, March 2002.
- [57] V. Mehrotra, S. L. Sam, D. Boning, A. Chandrakasan, R. Vallishayee and S. Nassif, "A methodology for modeling the effects of systematic within-die interconnect and device variation on circuit performance," *Proceedings of IEEE/ACM Design Automation Conference*, pp. 172–175, 2000.
- [58] R. Hitchcock, "Timing verification and the timing analysis program," *Proceedings of IEEE/ACM Design Automation Conference*, pp. 594–604, 1982.
- [59] H.-F. Jyu, S. Malik, S. Devadas and K. Keutzer, "Statistical timing analysis of combinational logic circuits," *IEEE Transactions on Very Large Scale Integration(VLSI) Systems*, Vol. 1, No. 2, pp. 126–137, June 1993.
- [60] M. Berkelaar, "Statistical delay calculation," *Proceedings of International Workshop on Logic Synthesis*, pp. 2.1.1–4, May 1997.

- [61] M. Berkelaar, "Statistical delay calculation, a linear time method," *Proceedings of International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (TAU)*, pp. 15–24, 1997.
- [62] M. Hashimoto and H. Onodera, "A performance optimization method by gate sizing using statistical static timing analysis," *Proceedings of International Symposium on Physical Design*, pp. 111–116, 2000.
- [63] S. Tsukiyama, M. Tanaka and M. Fukui, "A statistical static timing analysis considering correlations between delays," *Proceedings of IEEE/ACM Asia and South Pacific Design Automation Conference*, pp. 353–358, 2001.
- [64] M. Orshansky and K. Keutzer, "A general probabilistic framework for worst case timing analysis," *Proceedings of IEEE/ACM Design Automation Conference*, pp. 556–561, 2002.
- [65] M. Pelgrom, et al., "Matching properties of MOS transistors," *Nucl. Instrum. Methods Phys. Res. A, Accel. Spectrom. Detect. Assoc. Equip.*, pp. 624–626, Aug. 1991.
- [66] S. J. Lovett, L. Wall, M. Welten, A. Mathewson and B. Mason, "Characterizing the mismatch of submicron MOS transistors," *Proceedings of IEEE International Conference on Microelectronic Test Structures*, Vol. 9, pp. 39–42, 1996.
- [67] J. Bastos, M. Steyaert, R. Roovers, P. Kinget, W. Sansen, B. Graindourze, A. Pergoot and E. Janssens, "Mismatch characterization of small size MOS transistors," *Proceedings of IEEE International Conference on Microelectronic Test Structures*, Vol. 8, pp. 271–276, 1995.
- [68] T. Gotarredona and B. Barranco, "A new strong inversion 5-parameter transistor mismatch model," *Proceedings of IEEE International Symposium on Circuits and Systems*, Vol. IV, pp. 381–384, 2000.
- [69] J. Oehm, U. Grunebaum and K. Schumacher, "A physical approach to mismatch modelling and parameter correlations," *Proceedings of IEEE International Symposium on Circuits and Systems*, Vol. IV, pp. 377–380, 2000.
- [70] J. Bastos, M. Steyert, B. Graindourze and W. Sansen, "Matching of MOS transistors with different layout styles," *Proceedings of IEEE International Conference on Microelectronic Test Structures*, Vol. 9, pp. 17–18, March 1996.

- [71] S. J. Lovett, L. Wall, M. Welten, A. Mathewson and B. Mason, “Sensitivity of MOS transistor mismatch to device dimensions and suggestions on how to improve matching performance,” *IEE Colloquium. Improving the Efficiency of IC Manufacturing Technology*, Vol. 11, No. 153, pp. 1–5, 1995.
- [72] S. C. Wong, K. H. Pan, D. J. Ma, M. S. Liang and N. Tseng, “On matching properties and process factors for submicron CMOS,” *Proceedings of IEEE International Conference on Microelectronic Test Structures*, Vol. 9, pp. 43–46, 1996.
- [73] S. C. Wong, J. K. Ting and S. L. Hsu, “Characterization and modeling of MOS mismatch in analog CMOS technology,” *Proceedings of IEEE International Conference on Microelectronic Test Structures*, Vol. 8, pp. 171–176, March 1995.
- [74] M. Conti, G.-F. D. Betta, S. Orcioni, G. Soncini, C. Turchetti and N. Zorzi, “Test structure for mismatch characterization of MOS transistors in subthreshold regime,” *Proceedings of IEEE International Conference on Microelectronic Test Structures*, Vol. 10, pp. 173–178, 1997.
- [75] S. Matsumoto, H. J. Mattausch, S. Ooshiro, Y. Tatsumi, M. Miura-Mattausch, S. Kumashiro, T. Yamaguchi, K. Yamashita and N. Nakayama, “Test-circuit-based extraction of inter- and intra-chip mosfet-performance variations for analog-design reliability,” *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 582–585, 2001.
- [76] M. Paggi, E. Sprogis, G. Richard and R. Newhart, “Array diagnostic monitor – a DRAM technology development vehicle,” *Proceedings of IEEE International Conference on Microelectronic Test Structures*, pp. 163–167, March 1990.
- [77] E. Sprogis, “A technique for measuring threshold mismatch in DRAM sense amplifier devices,” *Proceedings of IEEE International Conference on Microelectronic Test Structures*, pp. 103–106, March 1991.
- [78] 近藤正樹, 小野寺秀俊, 田丸啓吉, “中間モデルを用いたモデル依存性の小さい MOS-FET パラメータ抽出手法,” *電子情報通信学会 論文誌 A*, Vol. J78-A, No. 9, pp. 1133–1141, Sept. 1995.
- [79] 近藤正樹, 小野寺秀俊, 田丸啓吉, “中間モデルを用いた mosfet の統計的モデル化手法,” *電子情報通信学会 論文誌*, Vol. J81-A, No. 11, pp. 1555–1563, Nov. 1998.
- [80] M. Kondo, H. Onodera and K. Tamaru, “Model-adaptable MOSFET parameter-extraction method using an intermediate model,” *Proceedings of IEEE/ACM International Conference on Computer-Aided Design*, Vol. 17, No. 5, pp. 400–405, May 1998.

- [81] A. Pavasovic, A. G. Andreou and C. R. Westgate, "Characterization of subthreshold MOS mismatch in transistors for VLSI systems," *Journal of VLSI Processing*, Vol. 10, pp. 75–85, Oct. 1994.
- [82] H.-S. Lee, D. A. Hodges and P. R. Gray, "A self-calibrating 15-b CMOS A/D converter," *IEEE Journal of Solid-State Circuits*, Vol. 19, pp. 813–819, Dec. 1984.
- [83] S.-H. Lee and B.-S. Song, "Digital-domain calibration of multi-step analog-to-digital converter," *IEEE Journal of Solid-State Circuits*, Vol. 27, pp. 1679–1688, Dec. 1992.
- [84] B. J. Sheu, D. L. Sharfetter, P. K. Ko and M. C. Jeng, "BSIM: Berkeley Short-Channel IGFET Model for MOS transistors," *IEEE Journal of Solid-State Circuits*, Vol. SC-22, No. 4, pp. 558–566, 1987.
- [85] Avant! Corporate Headquarters, "Star-Hspice User's Manual,".
- [86] K. Okada and H. Onodera, "Statistical modeling of device characteristics with systematic variability," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, Vol. E84-A, No. 2, pp. 529–536, Feb. 2001.
- [87] K. Okada and H. Onodera, "Statistical modeling of device characteristics with systematic fluctuation," *Proceedings of IEEE International Symposium on Circuits and Systems*, Vol. 2, pp. 437–440, May 2000.
- [88] M. Turk and A. Pentland, "Eigenfaces for recognition," *Journal of Cognitive Neuroscience*, Vol. 3, No. 1, pp. 71–86, 1991.
- [89] 岡田健一, 小野寺秀俊, "チップ内でのばらつきを考慮したトランジスタ特性ばらつきモデル化手法," 情報処理学会 DA シンポジウム 論文集, pp. 241–246, July 2001.
- [90] 岡田健一, 小野寺秀俊, "トランジスタ特性におけるチップ内ばらつきのモデル化手法," 情報処理学会論文誌, Vol. 43, No. 5, pp. 1330–1337, May 2002.
- [91] 岡田健一, 小野寺秀俊, "トランジスタ特性のチップ内ばらつきを考慮した統計遅延解析手法," 電子情報通信学会 回路とシステム (軽井沢) ワークショップ 論文集, pp. 499–504, April 2002.
- [92] K. Okada and H. Onodera, "Realistic delay calculation based on measured intra-chip and inter-chip variabilities with the size dependence," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, 2003.



- [93] M. Kondo, H. Onodera and K. Tamaru, “Model-adaptable MOSFET parameter-extraction method using an intermediate model,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 17, No. 5, pp. 4000–4005, May 1998.
- [94] G. E. P. Box and N. R. Draper, “Empirical Model-Building and Response Surfaces,” John Wiley & Sons, 1987.
- [95] 藤田智弘, 松尾英範, 小野寺秀俊, “大規模集積回路の統計的遅延解析手法,” 情報処理学会 DA シンポジウム 論文集, pp. 91–96, July 2000.
- [96] 奥野忠一, 久米均, 芳賀敏郎, 吉澤正, “多変量解析法,” 日科技連出版, 1981.

---

## 本研究に関する発表

---

### 学術雑誌論文

- [1] Kenichi Okada, Hidetoshi Onodera and Keikichi Tamaru, “Layout Dependent Matching Analysis of CMOS Circuits,” *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Science*, Vol. E82-A, No. 2, pp. 348–355, Feb. 1999.

Kenichi Okada, Hidetoshi Onodera and Keikichi Tamaru, “Layout Dependent Matching Analysis of CMOS Circuits,” *An International Journal of Analog Integrated Circuits, and Signal Processing*, Kluwer Academic Publishers, Vol. 25, No. 3, pp. 301–310, Dec. 2000.

- [2] Kenichi Okada and Hidetoshi Onodera, “Statistical Modeling of Device Characteristics with Systematic Variability,” *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Science*, Vol. E84-A, No. 2, pp. 529–536, Feb. 2001.

- [3] 岡田健一, 小野寺秀俊, “トランジスタ特性におけるチップ内ばらつきのモデル化手法,” *情報処理学会論文誌*, Vol. 43, No. 5, pp. 1330–1337, May 2002.

- [4] Kenichi Okada, Kento Yamaoka and Hidetoshi Onodera, “Realistic Delay Calculation Based on Measured Intra-chip and Inter-chip Variabilities with the Size Dependence,” accepted for publication in *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Science*, Apr. 2003

### 学術講演

- [1] 岡田健一, 小野寺秀俊, 田丸啓吉, “レイアウトを考慮した CMOS 回路の比精度解析,” *電子情報通信学会 回路とシステム (軽井沢) ワークショップ 論文集*, pp. 409–414, Apr. 1998.

- [2] Kenichi Okada and Hidetoshi Onodera, “Statistical Modeling of Device Characteristics with Systematic Fluctuation”, *IEEE International Symposium on Circuits and Systems*, pp. 437–440, May 2000.
- [3] 岡田健一, 小野寺秀俊, “チップ内でのばらつきを考慮したトランジスタ特性ばらつきモデル化手法,” 情報処理学会 DA シンポジウム 論文集, pp. 241–246, Jul. 2001.
- [4] 岡田健一, 山岡健人, 藤田智弘, 小野寺秀俊, “トランジスタ特性のチップ内ばらつきを考慮した統計遅延解析手法,” 電子情報通信学会 回路とシステム (軽井沢) ワークショップ 論文集, pp. 499–504, Apr. 2002.
- [5] Kenichi Okada, Kento Yamaoka and Hidetoshi Onodera, “A Statistical Gate-delay Model for Intra-chip and Inter-chip variabilities,” *IEEE/ACM Asia and South Pacific Design Automation Conference*, pp. 31–36, Jan. 2003.
- [6] Kenichi Okada, Kento Yamaoka and Hidetoshi Onodera, “Statistical Gate-delay Modeling with Intra-gate Variability,” accepted to be presented at *The 11th Workshop on Synthesis And System Integration of Mixed Information Technologies*, Apr. 2003.
- [7] Kenichi Okada, Kento Yamaoka and Hidetoshi Onodera, “Statistical Modeling of Gate-delay Variation with Consideration of Intra-gate Variability,” accepted to be presented at *IEEE International Symposium on Circuits and Systems*, May 2003.

## 口頭発表

- [1] 岡田健一, 小野寺秀俊, 田丸啓吉, “レイアウトを考慮した CMOS 回路の比精度解析,” 電子情報通信学会ソサイエティ大会, A-3-18, Sept. 1997.
- [2] 岡田健一, 小野寺秀俊, 田丸啓吉, “Micro-Loading 効果を考慮した CMOS 回路の比精度解析,” 電子情報通信学会総合大会, A-3-3, Mar. 1998.
- [3] 岡田健一, 小野寺秀俊, 田丸啓吉, “CMOS 回路の比精度ばらつきにおける大域ばらつきのモデル化,” 電子情報通信学会 ソサイエティ大会, A-3-1, Sept. 1998.
- [4] 岡田健一, 小野寺秀俊, 田丸啓吉, “中間モデルを用いた MOSFET モデルに依存しない比精度パラメータ抽出手法,” 電子情報通信学会 総合大会, A-3-10, Mar. 1999.
- [5] 岡田健一, 小野寺秀俊, “CMOS 回路の統計解析における大域ばらつきのモデル化,” 電子情報通信学会 ソサイエティ大会, A-3-5, Sept. 1999.
- [6] 岡田健一, 小野寺秀俊, “CMOS 回路の統計解析における大域ばらつきのモデル化,” 電子情報通信学会 総合大会, A-3-12, Mar. 2000.

- [7] 岡田健一, “LSI 設計における製造ばらつきの考慮,” VDEC デザイナーズフォーラム, Sept. 2001.
- [8] 岡田健一, 小野寺秀俊, “トランジスタ特性におけるチップ内ばらつきのモデル化手法,” 電子情報通信学会 ソサイエティ大会, A-3-4, Sept. 2001.
- [9] 岡田健一, 藤田智弘, 小野寺秀俊, “トランジスタ製造ばらつきにおけるチップ内特性変動を考慮した統計遅延解析手法,” 電子情報通信学会 デザインガイア, VLD2001-113, pp. 7-12, Nov. 2001.
- [10] 岡田健一, 山岡健人, 小野寺秀俊, “CMOS 論理ゲートにおける統計的遅延モデル化手法,” 情報処理学会関西支部大会, C-1, Nov. 2002.
- [11] 岡田健一, 山岡健人, 小野寺秀俊, “CMOS 論理ゲートにおけるセル内特性ばらつきを考慮した統計的遅延モデル化手法,” 電子情報通信学会 デザインガイア, CPSY2002-66, pp. 91-96, Nov. 2002.
- [12] 岡田健一, 山岡健人, 小野寺秀俊, “ゲート内ばらつきを考慮した遅延ばらつきのモデル化手法,” 電子情報通信学会 総合大会, A-3-22, Mar. 2003.



## 付 録 A

---

# チップ内でのばらつきを測定するための TEG

---

チップ内での局所ばらつきと大域ばらつきを測定するための TEG について紹介する．CMOS 1.2 $\mu$ m プロセスを想定したトランジスタ寸法の種類と回路構成について説明する．

### A.1 回路構成

従来から，ばらつきを測定するための TEG は多数提案されている回路的にばらつきを増幅して測定するものや，アレイ状にトランジスタを配置したものが提案されている．局所ばらつきはトランジスタ寸法に依存し，大域ばらつきはチップ上の位置に依存する．ここでは，チップ上での位置に依存したばらつきを測定するために，トランジスタをチップ全体にアレイ状に並べた TEG について説明する [A1, A2]．

本回路の回路図を図 A.1，レイアウトを図 A.2 に示す．16 列  $\times$  16 行のアレイ状にトランジスタを配置する．ソース端子は全トランジスタ共通で，バックゲート端子は nMOS, pMOS に各 1 本ずつ設ける．各トランジスタにおいて，ドレイン端子はアレイの縦方向に対して共通で，ゲート端子はアレイの横方向に対して共通である．ゲート端子を選択することにより行を，ドレイン端子を選択することにより列を指定して，トランジスタ 1 つ 1 つの特性を測定する．

各 TEG の寸法，トランジスタアレイ上での位置を，表 A.1 に示す．4 種類の寸法のトランジスタが nMOS, pMOS について各 32 個含まれる．トランジスタ TEG の各ゲートは，保護回路を介してボンディングパッドに継ぐ．保護回路の回路図およびレイアウトを図 A.3, A.4 に示す．また，アレイ中のトランジスタの中心間の距離は，縦横どちらの方向に対しても，300 $\mu$ m である．トランジスタ間の距離は十分に離れているので，ローディング効果の影響は小さく，かつ各トランジスタに対して等しいので無視できる．

測定系の構成を図 A.5 に示す．図の Power は，I/O 用 (保護回路用) の電源であり，GND は nMOS のバックゲートと共通になっている．Power は 5V，PowerP は 5V，PowerN は

表 A.1: トランジスタ TEG 内の MOS のサイズおよび種類

MOS の種類	MOS のサイズ W[ $\mu\text{m}$ ] / L[ $\mu\text{m}$ ]	行番号 (ゲート端子)	飽和電流 (mA)
nMOS	5.92 / 1.48	1, 9	1.191
	8.88 / 2.22	3, 11	1.469
	17.76 / 4.44	5, 13	1.729
	47.36 / 11.84	7, 15	1.929
pMOS	5.92 / 1.48	2, 10	0.6016
	8.88 / 2.22	4, 12	0.6067
	17.76 / 4.44	6, 14	0.5709
	47.36 / 11.84	8, 16	0.5353

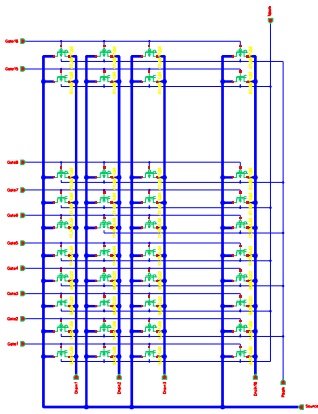


図 A.1: トランジスタアレイの回路図

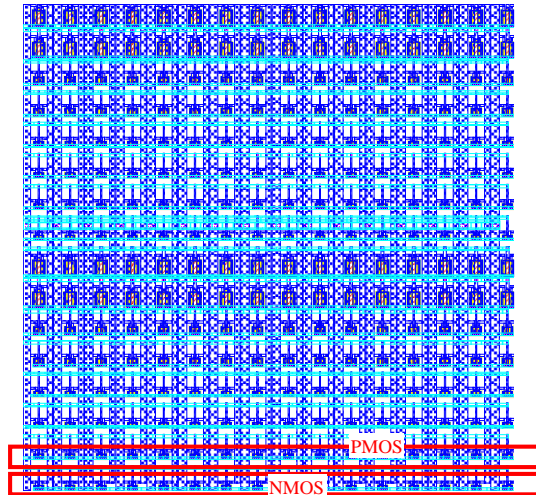


図 A.2: トランジスタアレイ

通常 0V とする．測定には，パラメータアナライザに同期させて，スイッチングマトリクスで，トランジスタアレイのゲート，ドレインを選択する．

## A.2 リーク電流の評価

アレイ TEG では，縦方向のトランジスタ間でドレイン端子を共有している．測定すべきトランジスタ以外は，ゲート電圧が 0V になっているが，それでも若干のリーク電流が流れる．CMOS 1.2 $\mu\text{m}$  プロセスにおいて，リーク電流の見積りを行った．リーク電流は，トランジスタ単体では 0.01675 nA で，アレイ中のドレイン端子を共有するトランジスタ間での総和は 0.3871 nA であった．また，各寸法での飽和電流値について表 A.1

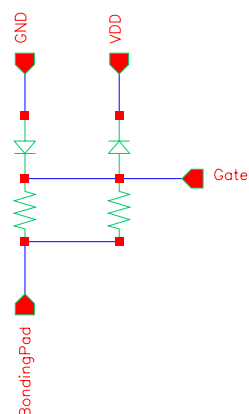


図 A.3: 保護回路の回路図

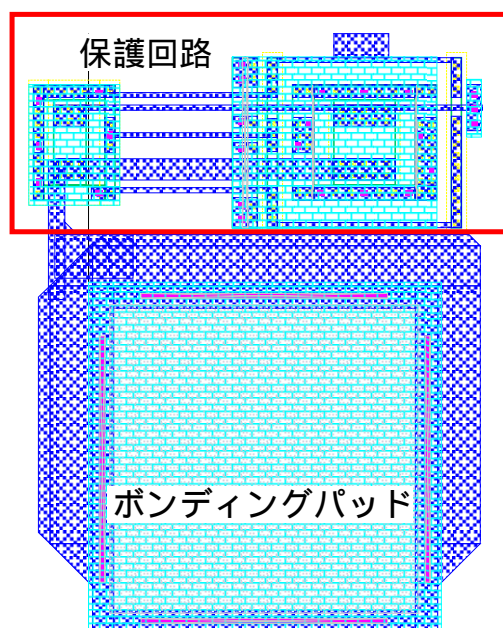


図 A.4: 保護回路のレイアウト

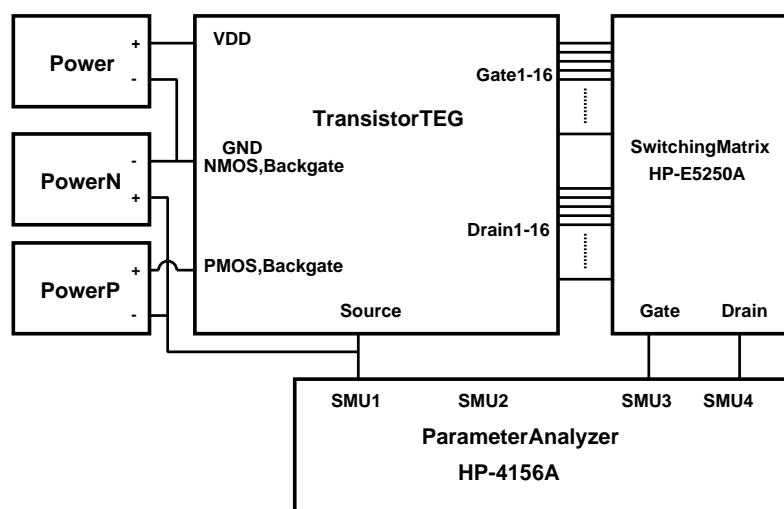


図 A.5: 測定系の構成 (トランジスタ TEG)

に示す．トランジスタのバイアス条件を nMOS で  $V_{DS} = 5V$ ,  $V_{GS} = 5V$ ,  $V_{BS} = 0V$  とし , pMOS で  $V_{DS} = -5V$ ,  $V_{GS} = -5V$ ,  $V_{BS} = 0V$  とした．リーク電流は , 飽和電流と比較すると十分に小さいため無視できると考えられる．



## 参考文献

- [A1] M. Paggi, E. Sprogis, G. Richard and R. Newhart, “Array diagnostic monitor – a DRAM technology development vehicle,” *Proceedings of IEEE International Conference on Microelectronic Test Structures*, pp. 163–167, March 1990.
- [A2] E. Sprogis, “A technique for measuring threshold mismatch in DRAM sense amplifier devices,” *Proceedings of IEEE International Conference on Microelectronic Test Structures*, pp. 103–106, March 1991.

## 付 録 B

# シート抵抗のモデル化

実測結果から，線幅によりシート抵抗が異なる事を確認した．シート抵抗の線幅依存性をモデル化する．

図 B.1 の断面形状を仮定すると，断面積  $S$  は以下で表せる．

$$S = LH + 2r_2(H - r_2) + r_1(H - r_1 - r_2) + \frac{1}{2}\pi(r_1^2 + r_2^2) \quad (\text{B.1})$$

ここで，

$$S = LH + a \quad (\text{B.2})$$

$$a = 2r_2(H - r_2) + r_1(H - r_1 - r_2) + \frac{1}{2}\pi(r_1^2 + r_2^2) \quad (\text{B.3})$$

とする．

図中の  $W$  方向に電流を流したときの抵抗値を  $R$ ，抵抗率を  $\rho$  とすると，シート抵抗値  $R_{\text{sheet}}$  は以下の式で表せる．

$$R = R_{\text{sheet}} \cdot \frac{W}{L} \quad (\text{B.4})$$

$$= \rho \cdot \frac{W}{S} \quad (\text{B.5})$$

$$R_{\text{sheet}} = \rho \cdot \frac{W}{S} \cdot \frac{L}{W} \quad (\text{B.6})$$

$$= \rho \cdot \frac{L}{S} \quad (\text{B.7})$$

$$= \rho \cdot \frac{L}{LH + a} \quad (\text{B.8})$$

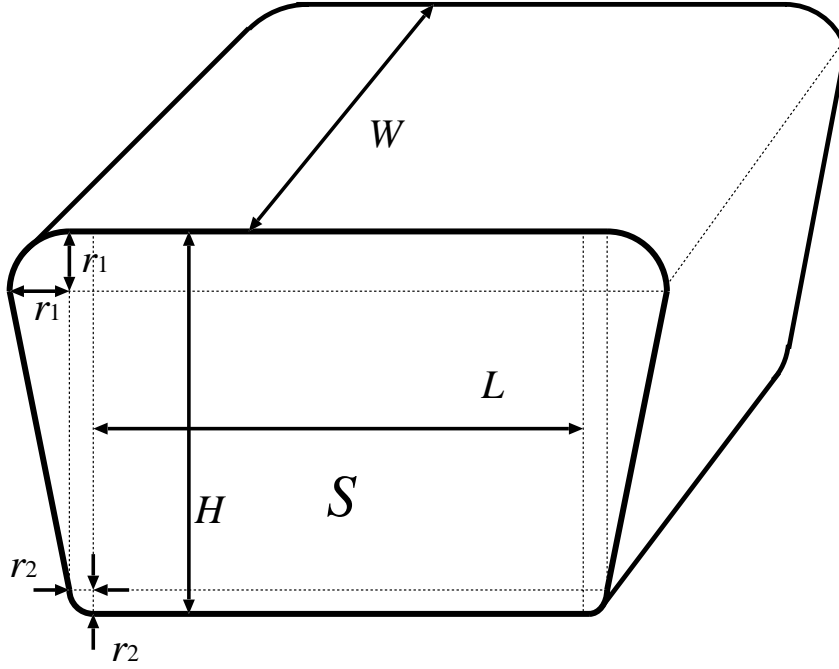


図 B.1: ポリシリコン断面のモデル図

$$= \frac{\rho}{H} \frac{L}{L + \frac{a}{H}} \quad (\text{B.9})$$

$$= \frac{\rho}{H} \left( 1 - \frac{\frac{a}{H}}{L + \frac{a}{H}} \right) \quad (\text{B.10})$$

ここで,  $L \gg \frac{a}{H}$  として近似する.

$$R_{\text{sheet}} \simeq \frac{\rho}{H} + \frac{\rho a}{H^2} \frac{1}{L} \quad (\text{B.11})$$

$$= R_{\text{base}} + \frac{K_R}{L} \quad (\text{B.12})$$

以上より, ポリシリコンのシート抵抗を式 (B.12) でモデル化する. ただし,  $R_{\text{base}}, K_R$  は以下の式で表される.

$$R_{\text{base}} = \frac{\rho}{H} \quad (\text{B.13})$$

$$K_R = \frac{\rho a}{H^2} \quad (\text{B.14})$$

$$= \frac{\rho}{H^2} \left( 2r_2(H - r_2) + r_1(H - r_1 - r_2) + \frac{1}{2}\pi(r_1^2 + r_2^2) \right) \quad (\text{B.15})$$